



ΕΘΝΙΚΟ ΚΑΙ ΚΑΠΟΔΙΣΤΡΙΑΚΟ ΠΑΝΕΠΙΣΤΗΜΙΟ ΑΘΗΝΩΝ

**ΣΧΟΛΗ ΘΕΤΙΚΩΝ ΕΠΙΣΤΗΜΩΝ
ΤΜΗΜΑ ΑΕΡΟΔΙΑΣΤΗΜΙΚΗΣ ΕΠΙΣΤΗΜΗΣ ΚΑΙ ΤΕΧΝΟΛΟΓΙΑΣ**

ΠΤΥΧΙΑΚΗ ΕΡΓΑΣΙΑ

Design of Analog to Digital Converters

Παναγιώτης Τσίτσας

Επιβλέπων: **Χαράλαμπος Λαμπρόπουλος,**
Διδακτικό και Ερευνητικό Προσωπικό (Δ.Ε.Π.)
Καθηγητής, Τμήμα Αεροδιαστημικής Επιστήμης και Τεχνολογίας,
Εθνικό και Καποδιστριακό Πανεπιστήμιο Αθηνών.

ΣΥΓΚΡΟΤΗΜΑ ΕΥΡΙΠΟΥ

ΜΑΡΤΙΟΣ 2024

ΠΤΥΧΙΑΚΗ ΕΡΓΑΣΙΑ

Design of Analog to Digital Converters

Παναγιώτης Τσίτσας

A.M.: 1116201900102

ΕΠΙΒΛΕΠΟΝΤΕΣ: **Χαράλαμπος Λαμπρόπουλος,**
Διδακτικό και Ερευνητικό Προσωπικό (Δ.Ε.Π.)
Καθηγητής, Τμήμα Αεροδιαστημικής Επιστήμης και Τεχνολογίας,
Εθνικό και Καποδιστριακό Πανεπιστήμιο Αθηνών.

ΠΕΡΙΛΗΨΗ

Στη παρούσα πτυχιακή εργασία μελετάμε τον σχεδιασμό δυο διαφορετικών μετατροπέων αναλογικού σήματος σε ψηφιακό (Analog to Digital converters, ADC). Ο ένας ADC υλοποιεί αρχιτεκτονική καταχωρητή διαδοχικών προσεγγίσεων (Successive Approximation Register, SAR) με 7 μπιτ ανάλυση. Ο δεύτερος υλοποιεί αρχιτεκτονική ΣΔ 1^{ου} βαθμού με 9 μπιτ ανάλυση. Παρουσιάζουμε την χρησιμότητα και τον τρόπο λειτουργίας κάθε μέρους και των συνολικών κυκλωμάτων των δύο μετατροπέων. Η ανάλυση υποστηρίζεται από την προσομοίωση των κυκλωμάτων με τη χρήση του προσομοιωτή LTspice. Τα κυκλώματα υλοποιήθηκαν με χρήση διακριτών εξαρτημάτων. Σχεδιάσαμε πλακέτα τυπωμένου κυκλώματος (PCB), πολλαπλών στρώσεων με χρήση του λογισμικού ανοικτού κώδικα KiCad. Συναρμολογήσαμε την πλακέτα που κατασκευάστηκε και προχωρήσαμε στον πειραματικό χαρακτηρισμό των κυκλωμάτων. Τα αποτελέσματα των μετρήσεων της επίδοσης των κυκλωμάτων παρουσιάζονται στην εργασία.

ΘΕΜΑΤΙΚΗ ΠΕΡΙΟΧΗ: ΗΛΕΚΤΡΟΝΙΚΑ ΚΥΚΛΩΜΑΤΑ

ΛΕΞΕΙΣ ΚΛΕΙΔΙΑ: SAR, Delta-Sigma, ADC, DAC, Analog, Digital

ABSTRACT

In this thesis we study the design of two different Analog to Digital converter (ADC) architectures. The one is a 7-bit successive approximation register (SAR) and the other is a 9-bit 1st order sigma delta converter. We analyze the functionality and operation of each block and of the overall circuit for both architectures. Our analysis is supported with circuits simulations using the free LTspice simulator. The circuits were implemented using discrete components. We designed a multilayer printed circuit board using the open source KiCAD software. We assembled the manufactured board and measured the performance of the circuits. The results are presented.

SUBJECT AREA: ELECTRONIC CIRCUITS

KEYWORDS: SAR, Delta-Sigma, ADC, DAC, Analog, Digital

Στην Οικογένεια μου.

ΕΥΧΑΡΙΣΤΙΕΣ

Θα ήθελα να ευχαριστήσω το Ειδικό Τεχνικό Εργαστηριακό Προσωπικό του ΕΚΠΑ (Εθνικό και Καποδιστριακό Πανεπιστήμιο Αθηνών) Συγκρότημα Ευρίπου, που με βοήθησαν αρκετά με τα εξαρτήματα και τα εργαλεία που χρειαζόμουν για να κατασκευάσω στο Breadboard τα κυκλώματα. Επίσης, είμαι υπόχρεος στην αμέριστη υποστήριξη και καθοδήγηση που μου παρείχε και θα ήθελα να ευχαριστήσω τον καθηγητή και υπεύθυνο για την πτυχιακή μου εργασία, Χαράλαμπο Λαμπρόπουλο, που με στήριξε στο ερευνητικό κομμάτι, στο πλαίσιο της σχεδίασης του PCB και στον εξοπλισμό που δεν υπήρχε στο πανεπιστήμιο και ήταν απαραίτητος για την εργασία.

Τέλος, θα ήθελα να ευχαριστήσω τους φίλους μου που μου στάθηκαν και τους γονείς μου για την οικονομική και ψυχολογική υποστήριξη τους καθ' όλη την διάρκεια των σπουδών μου.

ΠΕΡΙΕΧΟΜΕΝΑ

ΠΡΟΛΟΓΟΣ	13
1 ΕΙΣΑΓΩΓΗ	14
1.1 Κίνητρο	14
1.2 Αναφορά σε ενδεικτικές εφαρμογές των SAR και ΔΣ ADCs σε δορυφορικά συστήματα	15
1.3 Περίγραμμα Πτυχιακής	17
2 SUCCESSIVE APPROXIMATION REGISTER ADC	18
2.1 Τι είναι ο SAR ADC και πως λειτουργεί.....	18
2.1.1 Αλγόριθμος διαδοχικής προσέγγισης.....	19
2.1.2 Σχηματικό διάγραμμα του SAR ADC	20
2.2 Επιμέρους κυκλώματα του SAR ADC	21
2.2.1 Κύκλωμα Δειγματοληψίας και Συγκράτησης (Sample and Hold).....	21
2.2.2 Συγκριτής (Comparator).....	23
2.2.3 Καταχωρητής διαδοχικής προσέγγισης (Successive Approximation Register – SAR).....	24
2.2.4 DAC	26
2.2.5 Ρολόι και καταχωρητής ολίσθησης (Clock and Shift Register)	28
2.2.6 Binary Output.....	31
3 ΜΕΤΑΤΡΟΠΕΑΣ ΣΔ (SIGMA DELTA ADC)	32
3.1 Τι είναι ο ΣΔ ADC και πως λειτουργεί.....	32
3.2 Επιμέρους κυκλώματα του ΣΔ ADC	34
3.2.1 Τελεστικός ενισχυτής διαγωγιμότητας και ολοκληρωτής (OTA & INTEGRATOR)	34
3.2.2 Κύκλωμα Δειγματοληψίας και συγκράτησης (SAMPLE & HOLD)	37
3.2.3 Συγκριτής (COMPARATOR)	39
3.2.4 1 bit μετατροπέας ψηφιακού σήματος σε αναλογικό (1bit DAC)	41
3.2.5 Κύκλωμα παραγωγής ρευμάτων πόλωσης (Bias Cell)	43
4 ΠΩΣ ΜΕΤΡΙΕΤΑΙ Η ΑΠΟΔΟΣΗ ΤΩΝ ADCS	44
4.1 Βασικές αρχές της μετατροπής αναλογικό σε ψηφιακό σήμα	44
4.1.1 Ανάλυση.....	44

4.1.2	Σφάλμα κβαντισμού	44
4.2	Στατικά μέτρα απόδοσης	45
4.2.1	Σφάλμα μετατόπισης, σφάλμα πλήρους κλίμακας και σφάλμα κέρδους.....	45
4.2.2	Διαφορική μη-γραμμικότητα (DNL).....	46
4.2.3	Ολοκληρωτική μη-γραμμικότητα (INL).....	46
4.2.4	Έλλειψη κώδικα (Missing Code)	46
4.2.5	Δυναμικό εύρος (Dynamic Range).....	46
4.3	Δυναμικά μέτρα απόδοσης	47
4.3.1	Λόγος σήματος προς θόρυβο (SNR)	47
4.3.2	Λόγος σήματος προς θόρυβο και παραμόρφωση (SINAD)	48
4.3.3	Δυναμικό εύρος χωρίς παρασιτικά σφάλματα (SFDR)	48
4.3.4	Αποτελεσματικός αριθμός των bit (ENOB).....	48
5	ΣΧΕΔΙΑΣΜΟΣ ΠΛΑΚΕΤΑΣ ΤΥΠΩΜΕΝΟΥ ΚΥΚΛΩΜΑΤΟΣ (PCB DESIGN).....	48
5.1	Λειτουργία του μικροεπεξεργαστή	48
5.2	Σχηματικά σχέδια στο λογισμικό KiCad.....	49
5.3	Τεχνικά χαρακτηριστικά της πλακέτας τυπωμένου κυκλώματος	51
6	ΑΠΟΤΕΛΕΣΜΑΤΑ ΜΕΤΡΗΣΕΩΝ ΚΑΙ ΑΠΟΔΟΣΕΩΝ.....	56
6.1	Στατικές αποδόσεις και αποτελέσματα μετρήσεων του 7-bit SAR ADC.....	56
6.1.1	Offset error, Full-Scale error and Gain error of 7-bit SAR ADC.....	57
6.1.2	DNL and INL of 7-bit SAR ADC.....	58
6.2	Στατικές αποδόσεις και αποτελέσματα μετρήσεων του 9-bit ΣΔ ADC	59
6.2.1	Offset error, Full-Scale error and Gain error of 9-bit ΣΔ ADC	59
6.2.2	DNL and INL of 9-bit ΣΔ ADC	59
6.3	Δυναμικές αποδόσεις και αποτελέσματα μετρήσεων του 7-bit SAR ADC	60
6.3.1	Fast Fourier Transform (FFT) Analysis for 7-bit SAR ADC.....	60
6.4	Δυναμικές αποδόσεις και αποτελέσματα μετρήσεων του 9-bit ΣΔ ADC.....	61
6.4.1	Fast Fourier Transform (FFT) Analysis for 9-bit ΣΔ ADC.....	61
7	ΣΥΜΠΕΡΑΣΜΑΤΑ	62
	ΠΙΝΑΚΑΣ ΟΡΟΛΟΓΙΑΣ	63

ΣΥΝΤΜΗΣΕΙΣ – ΑΡΚΤΙΚΟΛΕΞΑ – ΑΚΡΩΝΥΜΙΑ	64
ΠΑΡΑΡΤΗΜΑ Ι.....	65
Κώδικας για μετατροπέα 9-bit ΣΔ ADC Arduino Nano (ATmega328bp).....	65
ΠΑΡΑΡΤΗΜΑ ΙΙ	66
Κώδικας για μετατροπέα 7-bit SAR ADC Arduino Nano (ATmega328bp)	66

ΚΑΤΑΛΟΓΟΣ ΣΧΗΜΑΤΩΝ

Σχήμα 1 : Αρχιτεκτονικές ADCs [1].....	14
Σχήμα 2: Block Diagram of the OBC system [4].....	15
Σχήμα 3 : 7-Bit SAR ADC Block Diagram.....	18
Σχήμα 4 : 7-Bit SAR ADC Operation	19
Σχήμα 5 : Σχηματικό διάγραμμα 7-bit SAR ADC	20
Σχήμα 6 : IC10 LF398 S&H SAR ADC [13]	21
Σχήμα 7 : Ημιτονοειδές σήμα εισόδου και Σήμα δειγματοληψίας και Συγκράτησης.....	22
Σχήμα 8 : Περίοδος Δειγματοληψίας.....	22
Σχήμα 9 : Περίοδος Συγκράτησης	22
Σχήμα 10 : IC11 LM 393 Comparator SAR ADC [14]	23
Σχήμα 11 : Σήμα SAR, S&H και COMPARATOR από προσομοίωση του LTspice	24
Σχήμα 12 : Register Block Diagram.....	25
Σχήμα 13: 3-Bit R-2R DAC	26
Σχήμα 14: Πώς ο R-2R μειώνει την τάση κλιμακωτά	27
Σχήμα 15 : Block Diagram DAC R-2R	27
Σχήμα 16 : Astable Multivibrator Sar ADC.....	28
Σχήμα 17 : Shift Register SAR ADC.....	30
Σχήμα 18 : Binary Output of 7bit SAR ADC.....	31
Σχήμα 19 : Block Diagram ΣΔ ADC.....	32
Σχήμα 20 : Σχηματικό διάγραμμα OTA and INTEGRATOR.....	34
Σχήμα 21 : LTspice ΣΔ ADC Vanalog_in - Vdac	35
Σχήμα 22: OTA & INTEGRATOR Output LTspice	36
Σχήμα 23: Σχηματικό διάγραμμα κυκλώματος SAMPLE & HOLD	37
Σχήμα 24: LTspice SAMPLE AND HOLD inputs/outputs.....	38
Σχήμα 25: COMPARATOR Schematic Diagram	39
Σχήμα 26: Schmitt Trigger COMPARATOR	39

Σχήμα 27: Υστέρηση Schmitt Trigger	40
Σχήμα 28: LTspice COMPARATOR Switch Voltages	40
Σχήμα 29: Σχηματικό διάγραμμα DAC	41
Σχήμα 30: DAC Input/Outputs	42
Σχήμα 31: Bias Cell Schematic Diagram	43
Σχήμα 32: Σφάλμα κβαντισμού για έναν ιδανικό ADC [17]	44
Σχήμα 33 :Full-Scale Error, Gain Error, and Offset Error in ADC [18]	45
Σχήμα 34: Nonlinearity errors and a missing code of ADC [24]	46
Σχήμα 35: Πάνω σχηματικό του ιεραρχικού σχηματικού διαγράμματος στο KiCad	49
Σχήμα 36: Δεύτερο φύλλο στο σχηματικό του KiCad	49
Σχήμα 37: Σχηματικό του SAR ADC στο KiCad	50
Σχήμα 38: Τα επίπεδα της πλακέτας με το υλικό τους και το πάχος τους	51
Σχήμα 39: Σχεδίαση PCB πρώτο και τελευταίο επίπεδο στο KiCad	52
Σχήμα 40: Σχεδίαση PCB δεύτερο και τρίτο επίπεδο στο KiCad	53
Σχήμα 41: Τρισδιάστατη προβολή πλακέτας στο KiCad	54
Σχήμα 42: Προβολή πλακέτας	55
Σχήμα 43 : Συγκόλληση των εξαρτημάτων μέσω οπών	55
Σχήμα 44: Σφάλμα μετατόπισης και σφάλμα πλήρους κλίμακας του 7-bit SAR ADC	57
Σχήμα 45: Μέγιστο DNL του 7-bit SAR ADC	58
Σχήμα 46: DNL OF 7-bit SAR ADC	58
Σχήμα 47: INL OF 7-bit SAR ADC	58
Σχήμα 48: Διάγραμμα αναλογικής εισόδου - ψηφιακής εξόδου	59
Σχήμα 49: FFT Analysis of 7-bit SAR ADC for $F_{in}=22.6346\text{Hz}$	60
Σχήμα 50: FFT Analysis of 9-bit ΣΔ ADC for $F_{in}=0.9144\text{Hz}$	61
Σχήμα 51: Διάταξη με επιπλέον αντιστάσεις στον συγκριτή [21]	62

ΚΑΤΑΛΟΓΟΣ ΠΙΝΑΚΩΝ

Πίνακας 1: Λειτουργία D Flip Flop.....	26
Πίνακας 2: Inputs/Outputs of the DAC subsystem of the ΣΔ ADC circuit.....	42
Πίνακας 3: Ιδανικός λόγος σήματος προς θόρυβο σε σχέση με την ανάλυση	47
Πίνακας 4: Αποτελέσματα δυναμικών αποδόσεων 7-Bit SAR ADC.....	60
Πίνακας 5: Αποτελέσματα δυναμικών αποδόσεων 9-Bit ΣΔ ADC	61

ΠΡΟΛΟΓΟΣ

Με μεγάλη μου χαρά παραδίδω την πτυχιακή μου εργασία με τίτλο “ Design of Analog to Digital Converters” που πραγματοποιήθηκε στο Εθνικό και Καποδιστριακό Πανεπιστήμιο Αθηνών (συγκρότημα Ευρίπου), στο τμήμα Αεροδιαστημικής Επιστήμης και Τεχνολογίας. Με γνώμονα την αγάπη μου για τα ηλεκτρονικά κυκλώματα, ξεκίνησα την μελέτη για τα ADC και με υπομονή και επιμονή κατάφερα να συγκεντρώσω χρήσιμες επιστημονικές μελέτες και πληροφορίες. Τα περισσότερα, αν όχι όλα, ηλεκτρονικά συστήματα περιέχουν έναν μετατροπέα αναλογικού σήματος σε ψηφιακού ADC. Κατά την εργασία της πτυχιακής μου εξοικειώθηκα με την χρήση εργαλείων λογισμικού που χρησιμοποιούνται στην σχεδίαση ηλεκτρονικών κυκλωμάτων. Ιδιαίτερα ασχολήθηκα με τις προσομοιώσεις των κυκλωμάτων. Εμπνεύστηκα από έργα ερευνητών και επιστημόνων που έχουν αφιερώσει την σταδιοδρομία τους στο συγκεκριμένο κομμάτι. Ελπίζω η εργασία μου να εμπνεύσει για περαιτέρω ερεύνα στους μετατροπείς αναλογικού σήματος σε ψηφιακού.

1 ΕΙΣΑΓΩΓΗ

1.1 Κίνητρο

Αν μας επιτρέπεται μια αντιστοιχία ανάμεσα σε ένα αεροδιαστημικό σύστημα και ένα ζωντανό οργανισμό, τα ηλεκτρονικά μέρη παίζουν τον ρόλο του νευρικού συστήματος. Επειδή δε τα αισθητήρια και οι ενεργοποιητές του αεροδιαστημικού συστήματος είναι κυρίως αναλογικές συσκευές ενώ οι υπολογιστές επεξεργάζονται ψηφιακά δεδομένα, η μετατροπή του αναλογικού σήματος σε ψηφιακά δεδομένα παίζει έναν κρίσιμο ρόλο στα ηλεκτρονικά. Οι μετατροπείς αναλογικού σήματος σε ψηφιακό, analog to digital converters ή ADCs είναι μία από τις περιοχές που τα δύο πεδία των ηλεκτρονικών, δηλ. τα αναλογικά και τα ψηφιακά συγχωνεύονται. Επομένως είναι μια πρόκληση για κάποιον που ενδιαφέρεται για τα ηλεκτρονικά να βουτήξει στα βαθιά νερά αυτού του κλάδου.

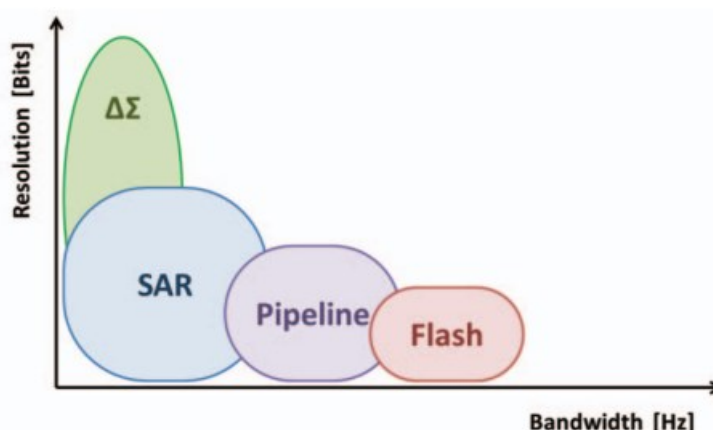
Προφανώς η εμπάθυση από την πλευρά ενός φοιτητή με γνώσεις αρχαρίου στα ηλεκτρονικά πρέπει να είναι με διαδοχικά βήματα. Για τον λόγο αυτό παρά το ότι επιλέχθηκαν δύο από τις πιο διαδομένες και αρκετά πολύπλοκες κυκλωματικές τοπολογίες ADCs, τα κυκλώματα που μελετήθηκαν και υλοποιήθηκαν είναι όσο πιο απλά γίνεται, αλλά όχι απλοϊκά.

Στον κόσμο της μετατροπής αναλογικού σήματος σε ψηφιακού, η επιλογή μεταξύ των ADCs διαδοχικής προσέγγισης (SAR) και Σίγμα-Δέλτα (Sigma-Delta) έχει αισθητές επιπτώσεις στην απόδοση και στην εφαρμογή των σύγχρονων ηλεκτρονικών συστημάτων.

Όπως φαίνεται και στο σχήμα 1.

Οι ADCs SAR τραβάνε τα βλέμματα με την αξιοσημείωτη ταχύτητα και την ακρίβεια σε πραγματικό χρόνο, καθιστώντας τους απαραίτητους για εφαρμογές που απαιτούν ταχεία δειγματοληψία υψηλής ανάλυσης[1].

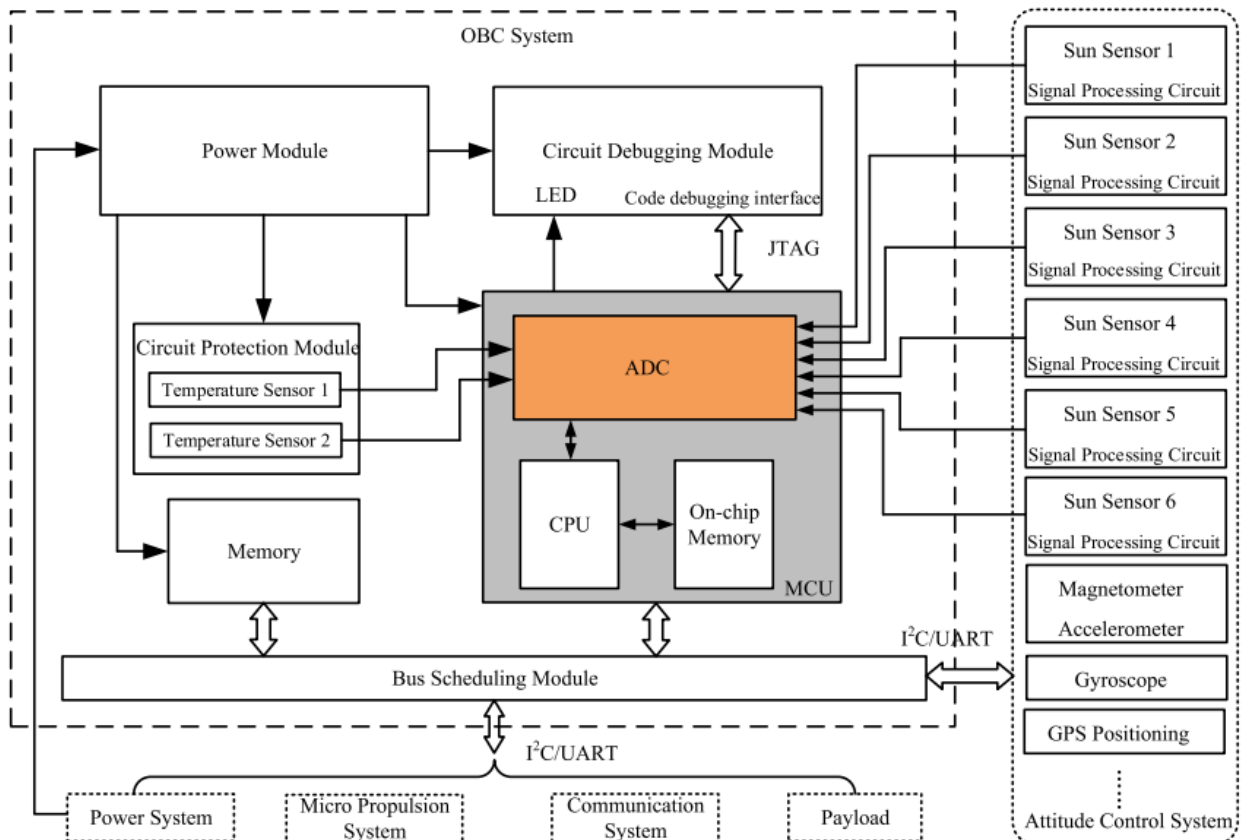
Από την άλλη πλευρά, οι ADCs Sigma-Delta φημίζονται για την εξαιρετική ανοχή τους στο θόρυβο και την ικανότητα να επιτυγχάνουν εξαιρετική αναλογία σήματος προς θόρυβο μέσω υπερδειγματοληψίας και ψηφιακού φιλτραρίσματος, καθιστώντας τους την καλύτερη επιλογή για εφαρμογές που απαιτούν ακρίβεια σε θορυβώδη περιβάλλοντα[1].



Σχήμα 1 : Αρχιτεκτονικές ADCs [1]

1.2 Αναφορά σε ενδεικτικές εφαρμογές των SAR και ΔΣ ADCs σε δορυφορικά συστήματα

Τα συστήματα ενός δορυφόρου ταξινομούνται συνήθως στα παρακάτω: σύστημα ενσωματωμένου υπολογιστή (OBC), το σύστημα επικοινωνίας, σύστημα ελέγχου θέσης, σύστημα παροχής ενέργειας, σύστημα προώθησης και το ωφέλιμο φορτίο. Στο σύστημα OBC εκτελούνται αρκετοί βασικοί αλγόριθμοι, όπως ο έλεγχος της στάσης και του προσανατολισμού, και η ρύθμιση της κατάστασης του δορυφόρου. Για αυτές τις λειτουργίες το σύστημα OBC αναλαμβάνει την επικοινωνία δεδομένων και την αλληλεπίδραση εντολών με αλλά υποσυστήματα του δορυφόρου.



Σχήμα 2: Block Diagram of the OBC system [4]

Στο σχήμα 2, βλέπουμε ένα σχηματικό διάγραμμα του συστήματος OBC που βασίζεται σε μια μονάδα μικροελέγχου μικτού σήματος (MCU). Περιλαμβάνει κυρίως μια MCU μικτού σήματος, μια μονάδα μνήμης, μια μονάδα ισχύος, μια μονάδα προγραμματισμού διαύλου και μια μονάδα προστασίας κυκλώματος. Η MCU μικτού σήματος αποκτά δεδομένα από τον αισθητήρα ήλιου, το μαγνητόμετρο, το επιταχυνσιόμετρο και το γυροσκόπιο μέσω του εσωτερικά ενσωματωμένου ADC, I2C και τη σειριακή θύρα. Στη συνέχεια, το OBC επεξεργάζεται και αναλύει τα συλλεχθέντα δεδομένα για να λάβει τη κατάσταση (τοποθεσία, προσανατολισμό κλπ.) του δορυφόρου. Επιπλέον, η θερμοκρασία επί του σκάφους ανιχνεύεται από αισθητήρες θερμοκρασίας στο OBC και μπορούν να ληφθούν διάφορα αποτελεσματικά μέτρα όταν η θερμοκρασία είναι μη φυσιολογική. Ο ADC παίζει σημαντικό ρόλο στον προσδιορισμό και τον έλεγχο της στάσης του δορυφόρου και στην ανίχνευση της θερμοκρασίας του σκάφους. Η αρχιτεκτονική που έχει σχεδιαστεί για το συγκεκριμένο OBC είναι ένας pipeline SAR ADC 12-bit 10MHz. [4]

Επιπλέον έχουν σχεδιαστεί αρκετοί ΣΔ ADC χαμηλής ισχύος για διαστημικές εφαρμογές. Ένα παράδειγμα είναι ο σχεδιασμός CMOS Sigma Delta ADC που χρησιμοποιείται για τον σχεδιασμό έξυπνου αισθητήρα θερμοκρασίας. Η αναλογική έξοδος του αισθητήρα μετατρέπεται από τον μετατροπέα ΣΔ. [5]

Επίσης έχουν σχεδιαστεί και μελετηθεί διάφορες αρχιτεκτονικές ADCs με σκοπό να πληρούν τις προϋπόθεσης για βιοϊατρικές εφαρμογές[6].

Μια ακόμα σημαντική εφαρμογή του μετατροπέα ΣΔ στον κόσμο της αεροδιαστημικής είναι στην αποστολή της NASA στον πλανήτη Άρη. Συγκεκριμένα στο πρόγραμμα Mars Exploration Program κατασκευαστικέ ένας ρομποτικός σταθμός παρακολούθησης του περιβάλλοντος (REMS) δίνοντας μας μετρήσεις της ταχύτητας του ανέμου και της κατεύθυνσης του ανέμου, της θερμοκρασίας του εδάφους και του αέρα, της πίεσης, υγρασίας και υπεριώδους ακτινοβολίας[7].

Ο μετατροπέας ΣΔ εφαρμόστηκε στις παραπάνω μετρήσεις και πήραμε τις πρώτες μετρήσεις του REMS από την επιφάνεια του Άρη τον Αύγουστο του 2012. Λίγες μέρες αργότερα ο ένας αισθητήρας ανέμου έστειλε λανθασμένα δεδομένα και υστέρα από έλεγχο επιβεβαιώθηκε ότι είχε καταστραφεί πιθανόν από κάποια πέτρα.

Έχει διαπιστωθεί ότι, μεταξύ των επικρατέστερων αρχιτεκτονικών ADCs, ο ADC Sigma-Delta (ΣΔ) και ο ADC διαδοχικής προσέγγισης (SAR), είναι οι πιο αποδοτικές σε ισχύ λύσεις για εφαρμογές χαμηλής και υψηλής ταχύτητας, μεσαίας έως υψηλής ανάλυσης. [8] Λόγω της απλής αρχιτεκτονικής και της εξαιρετικά χαμηλής κατανάλωσης ενέργειας, ο ADC SAR έχει υιοθετηθεί σχεδόν αποκλειστικά στα σύγχρονα συστήματα. Ωστόσο, παρουσιάζει αρκετά μειονεκτήματα όταν στοχεύουμε σε υψηλή ανάλυση [9], π. χ. κατάληψη μεγάλης επιφάνειας, υψηλή ευαισθησία στις παρασιτικές χωρητικότητες.

Από την άλλη πλευρά, ένας ΣΔ ADC, επιτυγχάνει την υψηλή ανάλυση για εφαρμογές χαμηλής ταχύτητας. Η βασική ιδέα της διαμόρφωσης ΣΔ εισήχθη για πρώτη φορά τη δεκαετία του 1960, όταν υιοθετήθηκε ένας ολοκληρωτής συνεχούς χρόνου (CT) για την υλοποίηση του φίλτρου βρόχου με διακριτά στοιχεία [10].

Παρά την πρώιμη ανάπτυξη των ΣΔ ADC που χρησιμοποιούν κυκλώματα CT, λόγω της ταχείας εξέλιξης της τεχνολογίας CMOS, οι Sigma-Delta ADCs αναπτύχθηκαν μέχρι σήμερα και χρησιμοποιούν κυρίως την τεχνική Διακοπτόμενων πυκνωτών (switched capacitor), γνωστή και ως υλοποίηση διακριτού χρόνου (DT) [11, 12].

1.3 Περίγραμμα Πτυχιακής

Οι κυκλωματικές τοπολογίες που μελετήσαμε είναι ήδη δημοσιευμένες [2],[3]. Όμως προχωρήσαμε παραπέρα και παρουσιάζουμε:

1. Την λεπτομερή μελέτη τους με την χρήση προσομοιώσεων. Για τις προσομοιώσεις χρησιμοποίησα τον προσομοιωτή LTspice® [22]
2. Την υλοποίησή τους σε κάρτα τυπωμένου κυκλώματος με διακριτά εξαρτήματα. Για την σχεδίαση της κάρτας χρησιμοποίησα το λογισμικό ανοικτού κώδικα KiCad [23]
3. Μετρήσεις της απόδοσής τους

Τα (1), (2), και (3) δεν έχουν παρουσιαστεί όσο είναι δυνατό να γνωρίζουμε και αποτελούν την δική μας συνεισφορά.

Στην παρούσα πτυχιακή εργασία στο κεφάλαιο 2 περιγράφεται με λεπτομερή επεξήγηση η λειτουργία του μετατροπέα από αναλογικό σήμα σε ψηφιακό SAR και των υποσυστημάτων του.

Στο κεφάλαιο 3, παρουσιάζεται η λειτουργία του μετατροπέα από αναλογικό σήμα σε ψηφιακό Σίγμα-Δέλτα και των υποσυστημάτων του.

Στο κεφάλαιο 4, παρουσιάζεται το πως μετράμε την απόδοση ενός μετατροπέα αναλογικού σήματος σε ψηφιακό.

Στο κεφάλαιο 5, περιγράφεται ο σχεδιασμός του τυπωμένου κυκλώματος σε κάρτα (PCB) των κυκλωμάτων του 7-bit SAR ADC και του ΣΔ ADC.

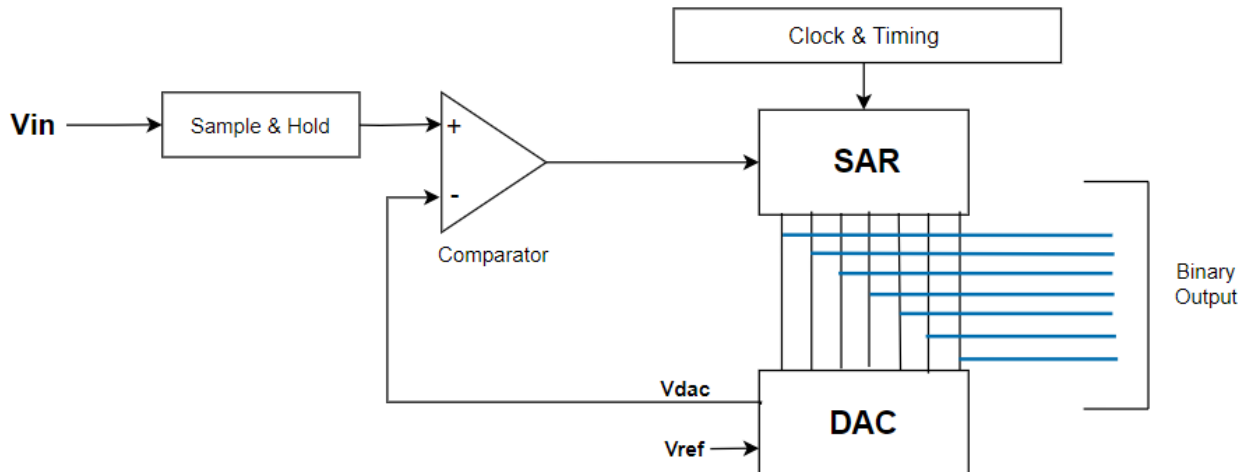
Στο κεφάλαιο 6, δίνονται τα αποτελέσματα των μετρήσεων χαρακτηρισμού του 7-bit SAR ADC και του 9-bit ΣΔ ADC.

Στο κεφάλαιο 7, παρουσιάζονται συνοπτικά τα συμπεράσματα την πτυχιακής εργασίας.

2 Successive Approximation Register ADC

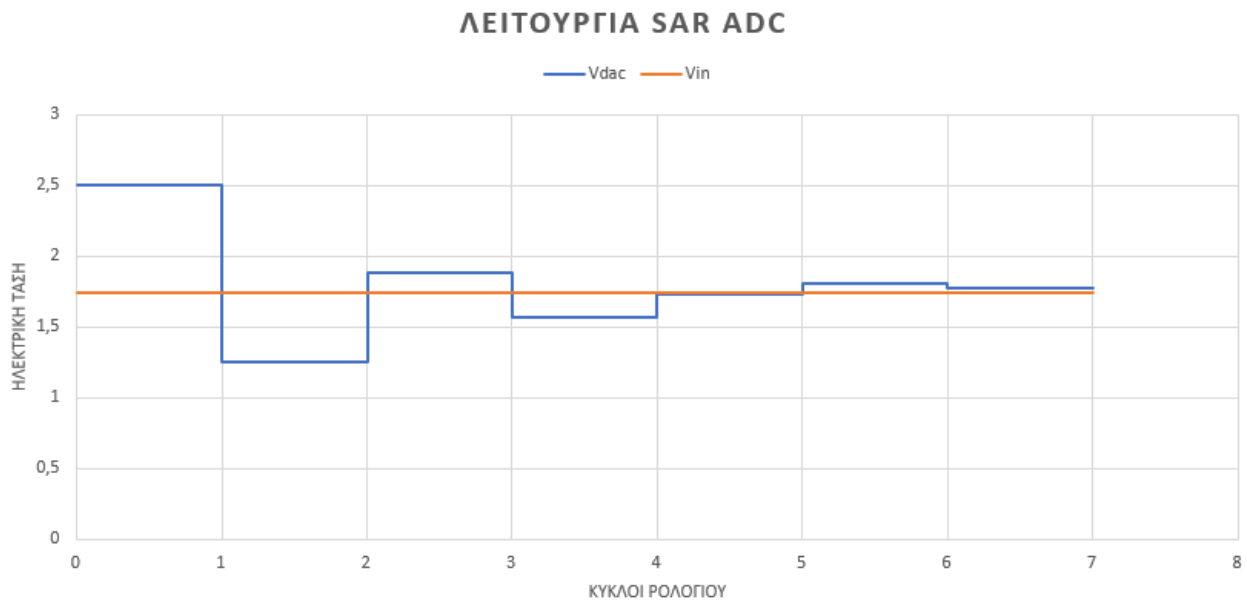
2.1 Τι είναι ο SAR ADC και πως λειτουργεί.

Ο SAR ADC (Successive Approximation Register Analog-to-Digital Converter) μετατρέπει την αναλογική είσοδο σε ψηφιακή υλοποιώντας μια σειρά διαδοχικών βημάτων προσέγγισης με την χρήση δυαδικού αλγορίθμου αναζήτησης. Στο σχήμα 3 φαίνεται ένα απλό σχηματικό διάγραμμα που αναπαριστά αυτή τη διαδικασία.



Σχήμα 3 : 7-Bit SAR ADC Block Diagram

Καθώς τροφοδοτείται η είσοδος V_{in} του SAR ADC με ένα αναλογικό σήμα πρώτα διεξάγεται η διαδικασία της δειγματοληψίας και της συγκράτησης της τιμής του σήματος. Η τιμή της τάσης στην είσοδο του μετατροπέα πρέπει να παραμείνει σταθερή για ορισμένο χρονικό διάστημα για να μπορέσει ο μετατροπέας να υλοποιήσει την ψηφιακή προσέγγιση της συγκεκριμένης τιμής. Το επόμενο βήμα είναι να ξεκινήσει ο βρόγχος προσέγγισης με αρχικό στάδιο την σύγκριση της, σταθερής πλέον, τιμής του αναλογικού σήματος με την τάση εξόδου (V_{dac}) του μετατροπέα ψηφιακού σήματος σε αναλογικό (Digital to Analog Converter DAC). Ο συγκριτής (Comparator) στέλνει σήμα, στον καταχωρητή διαδοχικών προσεγγίσεων (SAR), με κατάσταση 0 όταν η τάση V_{dac} είναι μεγαλύτερη σε τιμή από την τάση εισόδου V_{in} . Αντίστοιχα στέλνει σήμα με κατάσταση 1 όταν η τάση V_{dac} είναι μικρότερη από την τάση V_{in} . Ο SAR ανάλογα με την τιμή που θα του στείλει ο comparator, ανά κύκλο ρολογιού, διαμορφώνει μια δυαδική έξοδο (Binary Output) των 7 bit. Η κάθε φορά διαφορετική έξοδος του SAR ανάλογα τον κύκλο του ρολογιού που λειτουργεί ο μετατροπέας είναι η είσοδος του DAC. Κάθε bit παίρνει την τιμή του σε ένα κύκλο ρολογιού ξεκινώντας από το περισσότερο σημαντικό και προχωρώντας στο λιγότερο σημαντικό στον επόμενο κύκλο. Οπότε στην περίπτωση μας που ο μετατροπέας παράγει έξοδο με 7 bits, η ψηφιακή προσέγγιση γίνεται στους πρώτους 7 κύκλους ρολογιού ενώ στον 8^ο κύκλο ρολογιού θα λάβουμε ως έξοδο του μετατροπέα την έξοδο του SAR. Η δυαδική έξοδος του SAR είναι η είσοδος του DAC, οπότε ο DAC παράγει την τάση αναφοράς (V_{ref}) με βάση την πληροφορία της ψηφιακής εισόδου. Σκοπός είναι κάθε κύκλο ρολογιού η τάση V_{dac} να έρθει όσο πιο κοντά γίνεται με την αναλογική είσοδο V_{in} , όπως φαίνεται και στο σχήμα 4.



Σχήμα 4 : 7-Bit SAR ADC Operation

2.1.1 Αλγόριθμος διαδοχικής προσέγγισης

Ο αλγόριθμος διαδοχικής προσέγγισης χρησιμοποιείται από τον SAR ADC για να πραγματοποιήσει την προσέγγιση της αναλογικής τιμής του σήματος εισόδου ενώ ταυτόχρονα την μετατρέπει διαδοχικά σε ψηφιακή τιμή. Όπως αναφέραμε και στην προηγούμενη ενότητα κάθε bit προσδιορίζεται σε κάθε κύκλο ρολογιού και αυτό γίνεται με την λειτουργία του αλγορίθμου διαδοχικής προσέγγισης.

Για την εύκολη κατανόηση του αλγορίθμου διαδοχικής προσέγγισης θα θέσουμε παρακάτω ένα παράδειγμα με έναν 7-Bit SAR ADC με τάση αναφοράς V_{ref} στα 5 Volt. Αρχικά η 7-bit έξοδος του SAR έχει ρυθμιστεί να είναι 0000000. Στο σχήμα 5 παρατηρούμε ότι στον πρώτο κύκλο του ρολογιού το πρώτο bit γίνεται 1 και η τάση V_{dac} ισοδυναμεί με την τιμή 2.5 Volt ή αλλιώς $\frac{V_{ref}}{2}$. Εφόσον η τιμή του V_{dac} είναι μεγαλύτερη από την τιμή εισόδου V_{in} (1.75 Volt) το πρώτο bit (B_0) ή αλλιώς το MSB (Most Significant Bit) θα γίνει 0 έτσι η ψηφιακή έξοδος θα διαμορφωθεί σε 0000000. Στον δεύτερο κύκλο το δεύτερο bit θα γίνει δοκιμαστικά 1 και η τάση V_{dac} θα πάρει την τιμή $\frac{V_{ref}}{4}$, δηλαδή 1.25 Volt που είναι μικρότερη από την τάση V_{in} οπότε το MSB (B_1) θα κρατήσει την τιμή 1 και έτσι η ψηφιακή έξοδος θα διαμορφωθεί σε 0100000. Στο τρίτο κύκλο, το τρίτο bit θα γίνει δοκιμαστικά 1 οπότε η V_{dac} ισούται με $\frac{3*V_{ref}}{8}$ ή 1.88 Volt και είναι μεγαλύτερη από την V_{in} και έτσι το MSB (B_2) θα πάρει την τιμή 0 και η ψηφιακή έξοδος θα διαμορφωθεί σε 0100000. Για το επόμενο bit η τάση V_{dac} θα ισούται με $\frac{5*V_{ref}}{16} = 1.57$ Volt, και αφού ισχύει ότι $V_{dac} < V_{in}$ τότε το MSB (B_3) θα γίνει 1 και το 7-bit σε 0101000. Στον πέμπτο κύκλο ρολογιού ισχύει ότι $V_{dac} = \frac{11*V_{ref}}{32}$ (1.71 Volt $<$ V_{in}) άρα το MSB (B_4) θα γίνει 1 και το 7-bit διαμορφώνεται σε 0101100. Στον έκτο κύκλο ισχύει ότι $V_{dac} = \frac{23*V_{ref}}{64}$ (1.79 Volt $>$ V_{in}) άρα το MSB (B_5) θα γίνει 0 και το 7-bit διαμορφώνεται σε 0101100. Τέλος στον έβδομο κύκλο του ρολογιού ο V_{dac} θα πάρει την τιμή $\frac{45*V_{ref}}{128}$ δηλαδή 1.76 Volt $>$ V_{in} οπότε το LSB (Least Significant Bit) θα πάρει την τιμή 0 και η τελική διαμόρφωση της 7-bit εξόδου είναι 0101100.

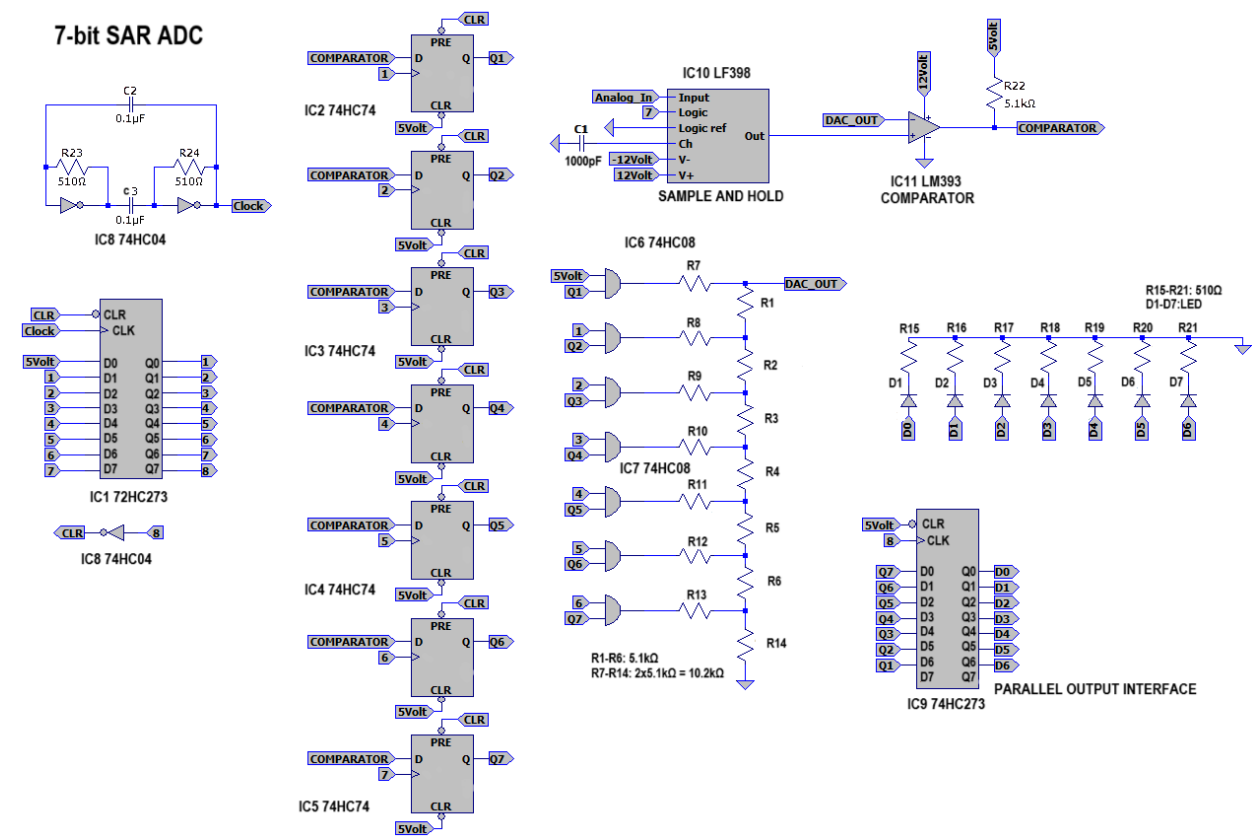
Ο τύπος που δίνει την V_{dac} για κάθε κύκλο του ρολογιού είναι ο εξής :

$$V_{dac} = V_{ref} \left(\frac{B_0}{2^n} + \frac{B_1}{2^{n-1}} + \frac{B_2}{2^{n-2}} + \dots + \frac{B_{n-1}}{2^1} \right) \quad (2.1)$$

Όπου n ο αριθμός των κύκλων ρολογιού ή των bits του SAR.

2.1.2 Σχηματικό διάγραμμα του SAR ADC

Παρακάτω στο σχήμα 5, βλέπουμε το σχηματικό διάγραμμα του 7-bit SAR ADC που μελετάμε.



Σχήμα 5 : Σχηματικό διάγραμμα 7-bit SAR ADC

Ο SAR ADC σχεδιάστηκε[2] με την χρήση λογικών ολοκληρωμένων κυκλωμάτων ICs (Integrated Circuit). Το IC1 είναι ένας καταχωρητής ολίσθησης των 8-bit. Τα IC2, IC3, IC4 και IC5 είναι ολοκληρωμένα τύπου D-FF (D Flip-Flop) και κρατούν το αποτέλεσμα κάθε σύγκρισης που κάνει ο Συγκριτής (Comparator) που είναι το IC11. Τα IC6 και IC7 είναι οι λογικές πύλες AND με εισόδους την έξοδο του καταχωρητή ολίσθησης και την έξοδο του D-FF. Το IC9 είναι ένας καταχωρητής που αποθηκεύει την μετατροπή του SAR ADC μέχρι να στείλει την επόμενη. Τα D1 μέχρι και D7 είναι led λυχνίες που χρησιμεύουν για την εμφάνιση του 7-bit εξόδου, δηλαδή, όταν είναι η λυχνία led αναμμένη αυτό σημαίνει ότι το bit που αντιπροσωπεύει η λυχνία είναι 1 και αντίστοιχα όταν είναι σβησμένη τότε το bit είναι 0. Το IC10 είναι το κύκλωμα δειγματοληψίας και συγκράτησης (Sample and Hold) και το IC8 είναι ένα ολοκληρωμένο κύκλωμα με τις λογικές πύλες NOT και χρησιμοποιείται για την κατασκευή ενός ασταθούς πολυδονητή που θα είναι το ρολόι του SAR ADC. Η περίοδος του ρολογιού είναι $103\mu s$ και ο χρόνος που απαιτεί για μια μετατροπή είναι 8 κύκλοι οπότε $824\mu s$. Τέλος το δυναμικό εύρος του σήματος εισόδου στον μετατροπέα είναι από $0V$ olt έως $5V$ olt και το εύρος των bit εξόδου είναι 7-bit. Αν για παράδειγμα η είσοδος του μετατροπέα είναι στα $0V$ olt DC τότε η δυαδική έξοδος του θα είναι “0000000” και στα $5V$ olt DC η έξοδος θα είναι “1111111”.

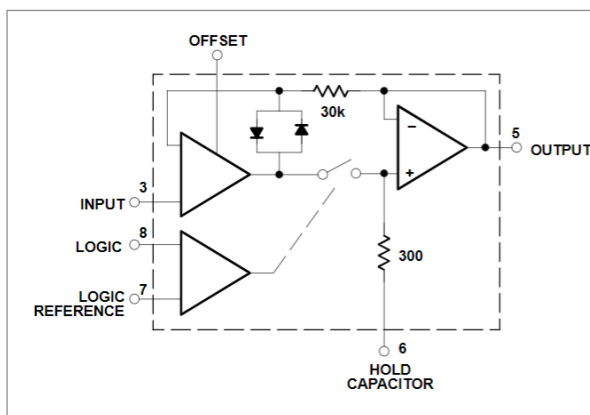
2.2 Επιμέρους κυκλώματα του SAR ADC

2.2.1 Κύκλωμα Δειγματοληψίας και Συγκράτησης (Sample and Hold)

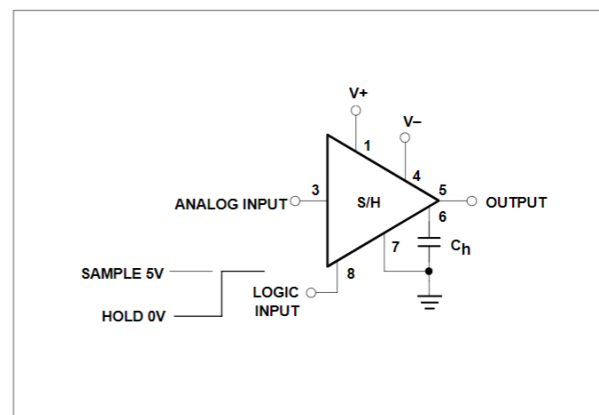
Το κύκλωμα δειγματοληψίας και κράτησης (Sample and hold) αποθηκεύει προσωρινά μια τιμή της τάσης εισόδου του αναλογικού σήματος έτσι ώστε ο SAR ADC να μπορεί να πραγματοποιήσει την μετατροπή της “παγωμένης” τιμής του αναλογικού σήματος σε ψηφιακή μορφή. Εάν ένας μετατροπέας SAR ADC δεν είχε το στάδιο της δειγματοληψίας και συγκράτησης τότε κατά την διάρκεια της μετατροπής το αναλογικό σήμα να αλλάξει τιμή και αυτό θα έχει ως αποτέλεσμα η μετατροπή του SAR ADC να είναι εσφαλμένη.

Γενικά, το κύκλωμα δειγματοληψίας και συγκράτησης περιέχει και μπορεί να κατασκευαστεί με έναν διακόπτη τύπου mosfet, έναν τελεστικό ενισχυτή (op amp) και έναν πυκνωτή. Στην συγκεκριμένη περίπτωση έχουμε ένα μονολιθικό ολοκληρωμένο κύκλωμα, το IC398 (βλ. σχήμα 6).

FUNCTIONAL DIAGRAM



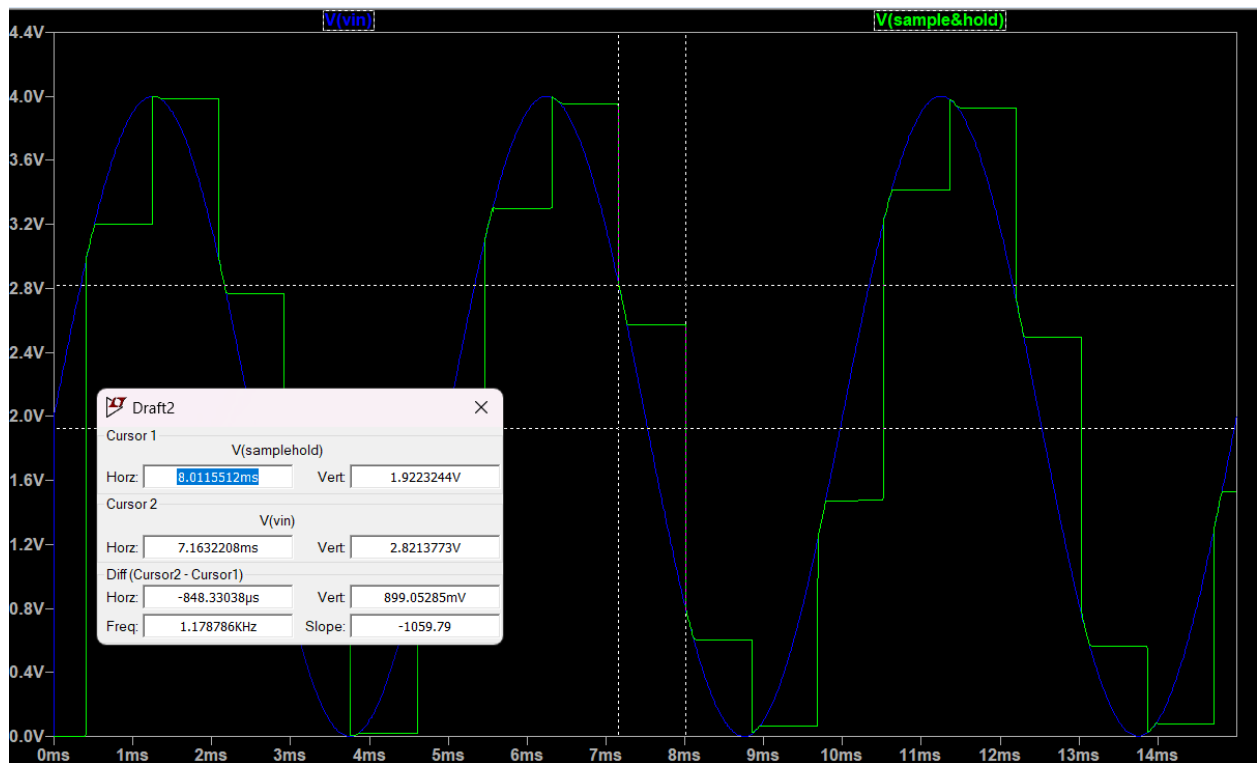
TYPICAL APPLICATIONS



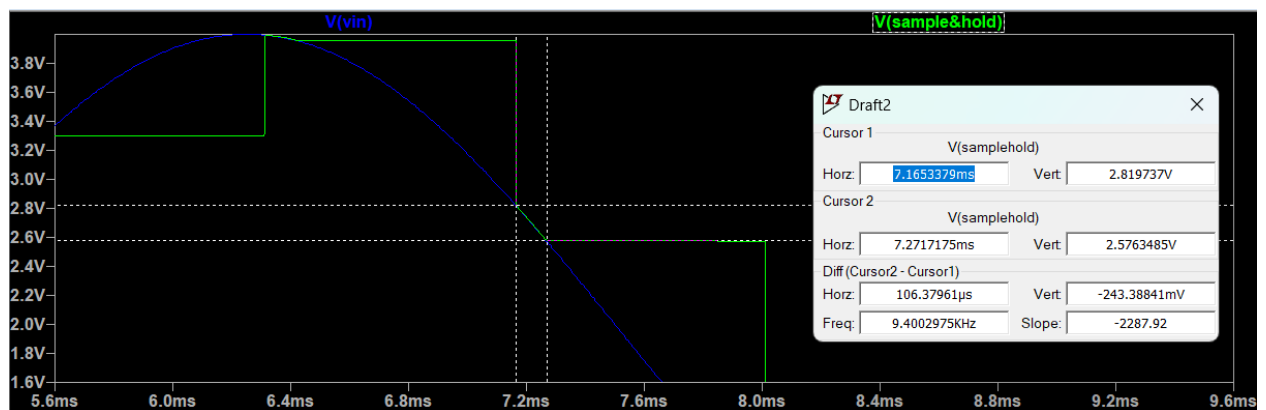
Σχήμα 6 : IC10 LF398 S&H SAR ADC [13]

Στους ακροδέκτες 1 και 4 έχουμε την θετική και αρνητική τάση τροφοδοσίας. Στον ακροδέκτη 3 συνδέεται η αναλογική είσοδος από το σήμα που επρόκειτο να μετατραπεί σε ψηφιακό. Στον ακροδέκτη 8 έχουμε την λογική είσοδο (Logic input), το σήμα που ελέγχει σε ποια κατάσταση είναι το κύκλωμα. Στα 0 Volt σε σχέση με την τάση αναφοράς είναι στην κατάσταση HOLD και στα 5 Volt είναι στην κατάσταση SAMPLE. Ο ακροδέκτης 7 συνδέεται στην τάση αναφοράς της λογικής εισόδου και τέλος στον ακροδέκτη 5 έχουμε την έξοδο του. [13]

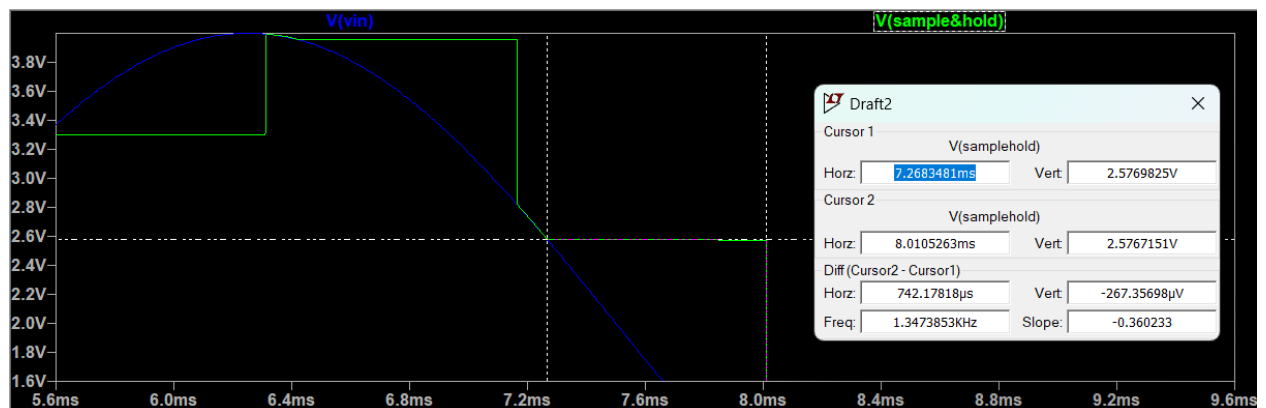
Στις κυματομορφές προσομοίωσης, του σχήματος 7, βλέπουμε την συμπεριφορά του Sample and Hold, εισάγοντας ένα αναλογικό ημιτονοειδές σήμα V_{in} με DC στάθμη 2 Volt, V πλάτος 2Volt και με συχνότητα 200Hz. Όπως φαίνεται το σήμα Sample and Hold αλλάζει τιμή κάθε 848μs δηλαδή ανά 8 κύκλους ρολογιού (106μs ο κύκλος ρολογιού στο LTspice). Πιο συγκεκριμένα αλλάζει τιμή, δηλαδή είναι στην κατάσταση Sample, για ένα κύκλο ρολογιού 106μs, (βλ. σχήμα 8), και στην κατάσταση Hold για 7 κύκλους ρολογιού 742μs, (βλ. σχήμα 9).



Σχήμα 7 : Ημιτονοειδές σήμα εισόδου και Σήμα δειγματοληψίας και Συγκράτησης.



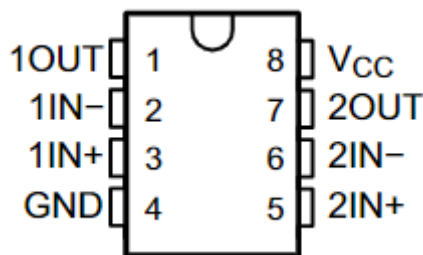
Σχήμα 8 : Περίοδος Δειγματοληψίας



Σχήμα 9 : Περίοδος Συγκράτησης

2.2.2 Συγκριτής (Comparator)

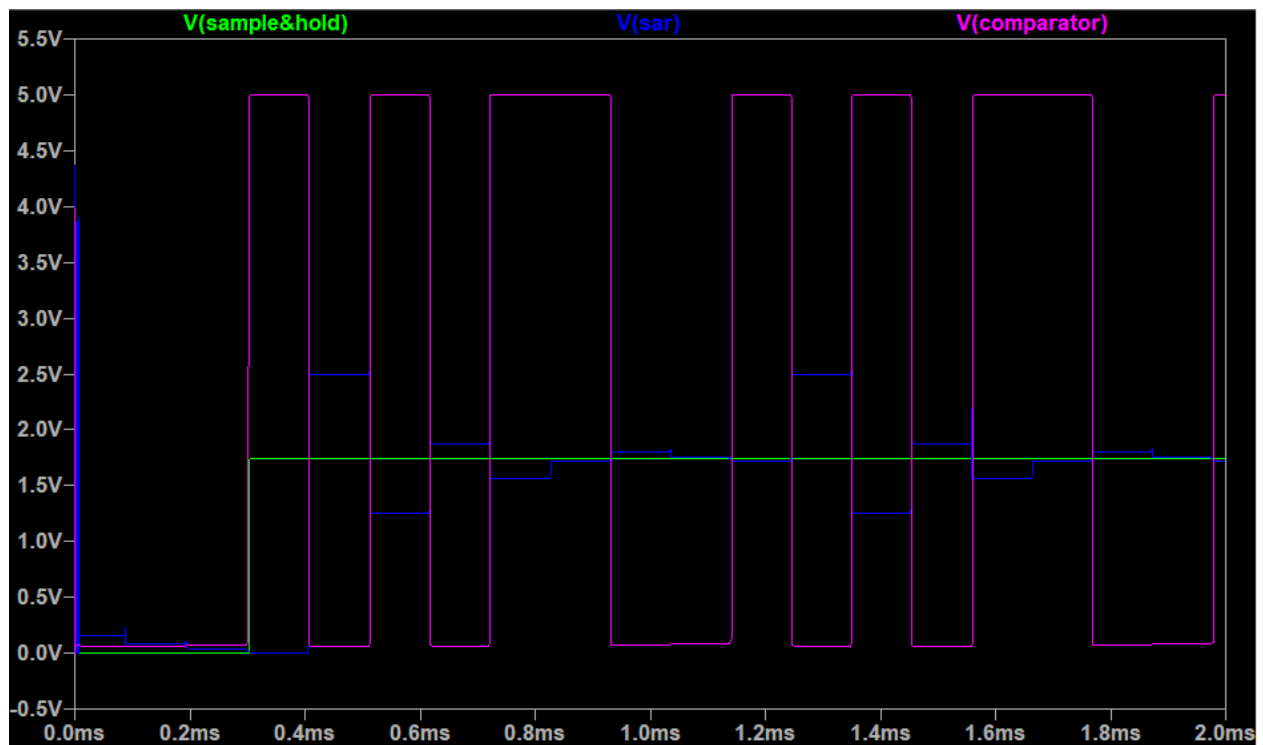
Ο Συγκριτής (Comparator) είναι, όπως δηλώνει και η ονομασία του, το υποσύστημα του κυκλώματος που συγκρίνει δυο σήματα τάσης. Όπως αναφέραμε και στην παράγραφο 2.1 η έξοδος του συγκριτή είναι σε κατάσταση 0, δηλαδή 0 Volt, όταν η τάση V_{dac} είναι μεγαλύτερη σε τιμή από την συγκρατημένη τάση εισόδου V_{in} . Αντίστοιχα στέλνει σήμα με κατάσταση 1, δηλαδή 5 Volt, όταν η τάση V_{dac} είναι μικρότερη από την τάση V_{in} . Ο συγκριτής είναι το μοναδικό αναλογικό υποσύστημα ενός ADC SAR και εκτελεί την πραγματική μετατροπή. Συγκρίνει την δειγματοληπτημένη αναλογική είσοδο με την αναλογική έξοδο του DAC και παράγει την ψηφιακή έξοδο που θα χρησιμοποιηθεί στον SAR. Η ακρίβεια και η ταχύτητα του συγκριτή είναι δύο σημαντικοί παράγοντες. Ο συγκριτής πρέπει να μπορεί να διακρίνει τάσεις με μικρές διαφορές. Στο κύκλωμα μας χρησιμοποιούμε για συγκριτή το ολοκληρωμένο κύκλωμα IC LM393, (σχήμα 10) [14].



Σχήμα 10 : IC11 LM 393 Comparator SAR ADC [14]

Στους ακροδέκτες 8 και 4 συνδέουμε την θετική τροφοδοσία και την γείωση. Στον ακροδέκτη 2 έχουμε την αρνητική είσοδο του πρώτου συγκριτή και στον ακροδέκτη 3 την θετική είσοδο του πρώτου συγκριτή. Στον ακροδέκτη 1 έχουμε την ψηφιακή έξοδο του πρώτου συγκριτή. Η σειρά LM393 είναι διπλοί ανεξάρτητοι συγκριτές τάσης ακριβείας, εμείς όμως χρησιμοποιούμε τον πρώτο συγκριτή, οπότε οι ακροδέκτες 5 και 6 που είναι οι εισοδοί του δεύτερου συγκριτή είναι γειωμένοι και ο ακροδέκτης 7 που είναι η έξοδος του δεύτερου είναι ασύνδετη.

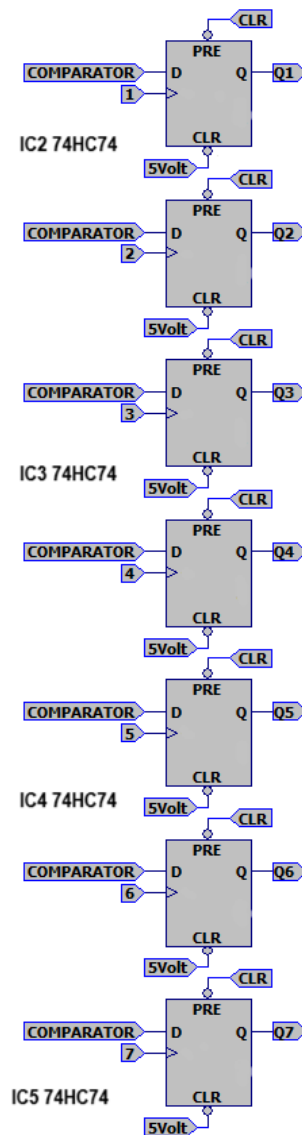
Παρακάτω στο σχήμα 11, βλέπουμε σε προσομοίωση τα αναλογικά σήματα εισόδου του συγκριτή. Το σήμα δειγματοληψίας και συγκράτησης $V(\text{sample\&hold})$ και το σήμα SAR $V(\text{sar})$. Στο λογισμικό LTspice εισάγουμε ένα σταθερό σήμα DC 1.75 Volt για αναλογικό σήμα εισόδου του μετατροπέα SAR ADC, με αποτέλεσμα το σήμα δειγματοληψίας και συγκράτησης μετά από 0.3ms να γίνει και αυτό 1.75 Volt. Επίσης βλέπουμε την έξοδο του συγκριτή $V(\text{comparator})$. Φαίνεται ξεκάθαρα ότι το σήμα του συγκριτή είναι στην κατάσταση 1, δηλαδή στα 5 Volt, όταν το σήμα $V(\text{sample\&hold})$ είναι μεγαλύτερο από το σήμα $V(\text{sar})$ και σε κατάσταση 0, όταν το σήμα $V(\text{sample\&hold})$ είναι μικρότερο από το σήμα $V(\text{sar})$. Η έξοδος του συγκριτή αλλάζει κάθε 106μs δηλαδή ανά κύκλο και επιστρέφει στο υποσύστημα SAR του ADC.



Σχήμα 11 : Σήμα SAR, S&H και COMPARATOR από προσομοίωση του LTspice

2.2.3 Καταχωρητής διαδοχικής προσέγγισης (Successive Approximation Register – SAR)

Το επόμενο υποσύστημα είναι ο καταχωρητής διαδοχικής προσέγγισης (Successive Approximation Register, SAR). Ο SAR είναι ψηφιακό κύκλωμα που σημαίνει ότι οι εισοδοί του και οι έξοδοί του είναι ψηφιακές. Σκοπός του καταχωρητή διαδοχικής προσέγγισης είναι να πραγματοποιήσει την διαδικία αναζήτησης. Στην σχεδίαση του SAR που μελετάμε έχουμε 7 D-Flip Flop όσα και τα bit του μετατροπέα μας. Ο καταχωρητής διαδοχικής προσέγγισης στον πρώτο κύκλο του ρολογιού δέχεται το bit από την έξοδο του συγκριτή και το στέλνει στον DAC αποθηκεύοντας την τιμή του στην πρώτη θέση της 7-bit εξόδου π.χ. '1XXXXXX' έτσι ώστε στον επόμενο κύκλο του ρολογιού το bit που θα πάρει να το αποθηκεύσει στην δεύτερη θέση της 7-bit εξόδου συγκρατώντας την τιμή της πρώτης εισόδου bit π.χ. '10XXXXX'. Αυτή είναι η λογική αποθήκευσης του SAR έως την τελική διαμόρφωση της 7-bit εξόδου του μετατροπέα. Στον όγδοο κύκλο του ρολογιού μεταβάλλεται το σήμα PRESET και οι έξοδοί του SAR επανέρχονται στην αρχική κατάσταση High (5 Volt) περιμένοντας το επόμενο bit που θα στείλει ο συγκριτής για την διαμόρφωση της επομένης 7-bit εξόδου. Στο, σχήμα 12, βλέπουμε το σχηματικό διάγραμμα του SAR που χρησιμοποιούμε στον μετατροπέα μας.



Σχήμα 12 : Register Block Diagram

Ο καταχωρητής (Register) αποτελείται από 7 D Flip Flop με κοινή είσοδο D που είναι συνδεδεμένη με το σήμα εξόδου του συγκριτή (Comparator). Η είσοδος RESET είναι μόνιμα HIGH δηλαδή στα 5 Volt με σκοπό να μην χρησιμοποιηθεί αυτή η λειτουργία. Η είσοδος PRESET είναι και αυτή κοινή σε όλα τα flip flop και αλλάζει κατάσταση στον όγδοο κύκλο του ρολογιού. Όταν το PRESET αλλάζει κατάσταση από HIGH σε LOW, η έξοδος Q διαμορφώνεται σε κατάσταση HIGH. Η είσοδος Clock είναι ξεχωριστή για κάθε D Flip Flop και έρχεται από τον καταχωρητή ολίσθησης (Shift Register). Η 7bit έξοδος του SAR δημιουργείται από τους εξόδους Q και για να γίνει πιο κατανοητό η ψηφιακή έξοδος μπορεί να χαρακτηριστεί με βάση το σχήμα 12 ως “Q₁Q₂Q₃Q₄Q₅Q₆Q₇”. Τέλος για την υλοποίηση του Register χρησιμοποιούμε 3 ολοκληρωμένα κυκλώματα 74HC74, που το καθένα περιέχει από δυο D Flip Flop. Στον παρακάτω πίνακα, πίνακας 1, έχουμε πιθανούς εισόδους για είναι D Flip Flop με σκοπό να γίνει πιο κατανοητή η λειτουργία του.

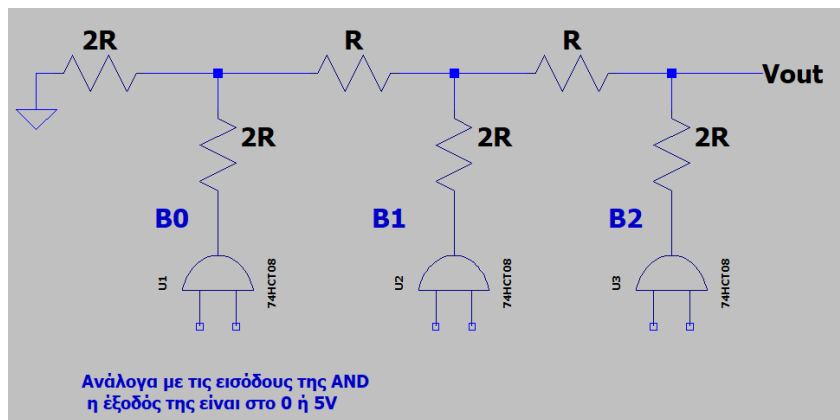
Πίνακας 1: Λειτουργία D Flip Flop

D Flip Flop				
RESET	PRESET	CLK	D	Q
1	0	X	X	1
1	1	↑	1	1
1	1	↑	0	0
1	1	0	X	Καμία αλλαγή
1	1	1	X	Καμία αλλαγή
1	1	↓	X	Καμία αλλαγή

Οι τιμές εισόδων που έχει ο πίνακας είναι διαμορφωμένες με σκοπό να δούμε την συμπεριφορά του D Flip Flop στο δικό μας κύκλωμα οπότε έχουμε μόνο κατάσταση ON στην είσοδο RESET. Το σήμα PRESET έχει την μεγαλύτερη προτεραιότητα σε σύγκριση με το ρολόι.

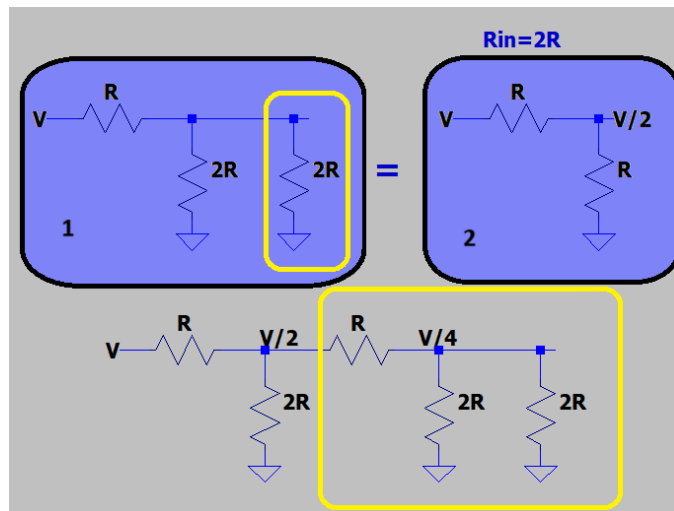
2.2.4 DAC

Για την κατανόηση της λειτουργίας του R-2R θα δούμε στο σχήμα 13, έναν παρόμοιο R-2R DAC τον 3-Bits. Οι λογικές πύλες AND είναι οι διακόπτες του 3-Bit R-2R DAC. Όταν και οι δύο εισόδοι είναι σε κατάσταση HIGH τότε και η έξοδος είναι HIGH και το αντίστοιχο Bit γίνεται 1.



Σχήμα 13: 3-Bit R-2R DAC

Στο σχήμα 14, στο κύκλωμα 1 (πάνω αριστερά) η συνολική του αντίσταση ισούται με $2R$ (κύκλωμα 2, πάνω δεξιά), μπορούμε να εισάγουμε άλλο ένα τέτοιο κύκλωμα (κύκλωμα 1) στη θέση του δεξιού $2R$ του ίδιου κυκλώματος--- και ούτω καθεξής, για όσα bit θέλουμε να σχεδιάσουμε τον R-2R DAC. Στο δεξί άκρο κάθε αντίστασης R , η τάση είναι το μισό της τάσης που ήταν στο αριστερό άκρο της αντίστασης.

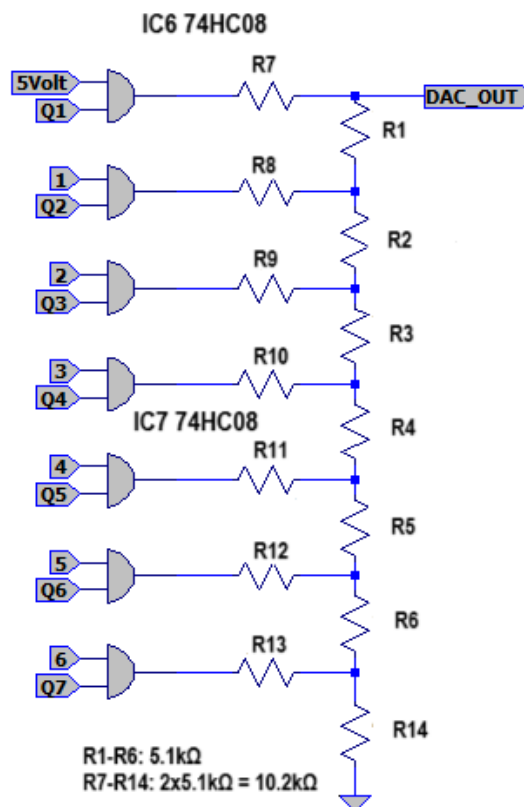


Σχήμα 14: Πώς ο R-2R μειώνει την τάση κλιμακωτά

Οπότε για το bit 001 ισχύει ότι $V=V_{ref}/8$, για Bit 010 έχουμε $V=V_{ref}/4$ και για Bit 100 έχουμε $V=V_{ref}/2$.

Αν έχουμε τον συνδυασμό 111 ισχύει ότι $V=V_{ref} \cdot (1/8 + 1/4 + 1/2) = 7V_{ref}/8$. Κατά αυτόν τον τρόπο ισχύει ότι $V=V_{ref}(B_0/2^n + B_1/2^{n-1} + \dots + B_{n-1}/2^1)$ δηλαδή η εξίσωση 2.1

Ο εσωτερικός μετατροπέας ψηφιακού σήματος σε αναλογικό (Digital to Analog Converter, DAC), χρησιμοποιείται για να μετατρέψει την ψηφιακή 7bit έξοδο του SAR σε αναλογική στάθμη και να την στείλει στον συγκριτή που στην συνέχεια θα την συγκρίνει με το δειγματοληπτημένο αναλογικό σήμα εισόδου. Ο DAC που χρησιμοποιούμε είναι τύπου R-2R. Στο σχήμα 15, βλέπουμε το σχηματικό διάγραμμα του DAC και στην συνέχεια θα το αναλύσουμε.

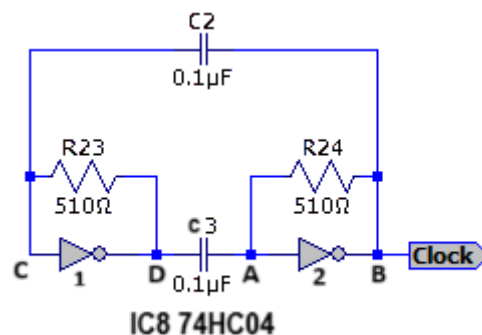


Σχήμα 15 : Block Diagram DAC R-2R

Ο μετατροπέας ψηφιακού σήματος σε αναλογικό σήμα αποτελείται από επτά AND λογικές πύλες και δεκατέσσερις αντιστάσεις από τις οποίες οι οκτώ έχουν την διπλάσια αντίσταση ($2R$) από τις έξι αντιστάσεις που έχουν αντίσταση R , γι' αυτό και η ονομασία του DAC $R-2R$. Οι λογικές πύλες AND κάνουν πολλαπλασιασμό στις δυο εισόδους και βγάζουν το αποτέλεσμα στην έξοδο τους. Επομένως, για να είναι η έξοδος των λογικών πυλών σε κατάσταση ON θα πρέπει και οι δυο εισοδοί να είναι σε κατάσταση ON. Κάθε λογική πύλη λειτουργεί σαν διακόπτης και αντιστοιχεί σε ένα bit από την 7bit ψηφιακή έξοδο του SAR ADC. Εκτός από την πρώτη λογική πύλη όλες οι υπόλοιπες δέχονται στον πρώτο ακροδέκτη εισόδου σήμα (1,2,3,4,5 και 6) από τον καταχωρητή ολίσθησης (Shift Register) με σκοπό να ενεργοποιεί μια λογική πύλη ανά κύκλο του ρολογιού με σειρά από την αντίσταση $R7$ προς την αντίσταση $R13$. Η πρώτη λογική πύλη δεν είναι συνδεδεμένη με τον καταχωρητή ολίσθησης διότι δεν χρειάζεται να περιμένει κάποια προηγούμενη προσέγγιση οπότε είναι μόνιμα ο ακροδέκτης 1 σε κατάσταση ON δηλαδή στα 5 Volt. Σε κάθε λογική πύλη ο δεύτερος ακροδέκτης εισόδου δέχεται ψηφιακό σήμα ($Q1, Q2, Q3, Q4, Q5, Q6$ και $Q7$) από τον SAR δηλαδή το κάθε bit από την 7bit έξοδο του SAR ADC σε κάθε λογική πύλη AND. Στην συνέχεια λόγω της συστοιχίας των αντιστάσεων εκτελείται ο αλγόριθμος διαδοχικής προσέγγισης (2.1.1) και υπολογίζεται η τάση εξόδου του DAC (DAC_OUT), εξ. (2.1).

2.2.5 Ρολόι και καταχωρητής ολίσθησης (Clock and Shift Register)

Το ρολόι του κυκλώματος (Clock) το παράγει ένας ασταθής πολυδονητής (Astable Multivibrator). Το Ρολόι είναι ένας τετραγωνικός παλμός με περίοδο $103\mu s$. Στο παρακάτω σχήμα, σχήμα 16, βλέπουμε το σχηματικό διάγραμμα του ασταθούς πολυδονητή που χρησιμοποιούμε.



Σχήμα 16 : Astable Multivibrator Sar ADC

Χρησιμοποιούμε δυο λογικές πύλες NOT από το ολοκληρωμένο κύκλωμα 74HC04, δυο αντιστάσεις $510\ \Omega$ και δυο πυκνωτές $0.1\mu F$. Για να καταλάβουμε την λειτουργία του ρολογιού θα ξεκινήσουμε από κάποιο σημείο με μια υπόθεση και θα αναλύσουμε την ροή του ηλεκτρικού φορτίου.

- 1) Υποθέτουμε ότι αρχικά η πύλη 2 είναι σε κατάσταση ON, αρά το σημείο B είναι High, το σημείο A είναι Low και έστω $\Delta V_{C3}=0$ άρα το σημείο D είναι Low, το σημείο C είναι High και $\Delta V_{C2}=0$.
- 2) Ο οπλισμός του πυκνωτή C_3 που συνδέεται στο σημείο A (που είναι Low) δέχεται ρεύμα από την πύλη 2 που είναι ON μέσω της αντίστασης $R24$ και αρχίζει να αναπτύσσει $\Delta V_{C3} > 0$. Κάποια στιγμή το σημείο A γίνεται High και το σημείο B γίνεται Low, οπότε αμέσως το $\Delta V_{C2} = 5\text{Volt}$.
- 3) Ο οπλισμός του πυκνωτή C_2 που συνδέεται στο σημείο C δίνει ρεύμα μέσω της αντίστασης $R23$ και της πύλης 1 που είναι ON προς την γη και κάποια στιγμή το σημείο C γίνεται Low και το σημείο D γίνεται High και έτσι αμέσως ο οπλισμός του

C3 που είναι συνδεδεμένος στο σημείο D γίνεται 5 Volt, αφού παίρνει ρεύμα μέσω της πύλης 1. Τώρα ο σπλισμός του πυκνωτή C3 που συνδέεται στο σημείο A αποφορτίζεται μέσω της αντίστασης R24 και της πύλης 2 που είναι στο ON προς την γη, έως ότου κάποια στιγμή το σημείο A γίνεται Low και το σημείο B γίνεται High. Σε αυτό το σημείο βρισκόμαστε στην κατάσταση της αρχικής υπόθεσης που κάναμε, οπότε η παραπάνω λειτουργία επαναλαμβάνεται και έτσι δημιουργείται η ταλάντωση.

Στην συνέχεια θα υπολογίσουμε τον τύπο της περιόδου του τετραγωνικού παλμού που δημιουργεί ο συγκεκριμένος ασταθής πολυδονητής.

Αρχικά γνωρίζουμε ότι η σταθερά του χρόνου (Time constant) στο κύκλωμα αντίσταση - πυκνωτή (RC) ισούται με

$$\tau = R * C \quad (2.2) \quad [15]$$

Επίσης έχουμε ότι η τάση στους ακροδέκτες της αντίστασης φθίνει με τον εκθετικό συντελεστή $e^{-t/\tau}$ [15] οπότε ισχύει ότι

$$V = V_0 * e^{-t/\tau} \quad (2.3)$$

Από τον τύπο του Ohm προκύπτει ότι

$$iR = V_0 * e^{-(t/CR)} \quad (2.4)$$

Την χρονική στιγμή που η τάση γίνεται ίση με την τάση του κατωφλίου (V_T) επίσης ισχύει ότι

$$V_T = V_0 * e^{-(t/CR)} \quad (2.5)$$

Κάνοντας τις πράξεις στον τύπο 2.5 προκύπτει ότι

$$t = -CR \ln(V_T/V) \quad (2.6)$$

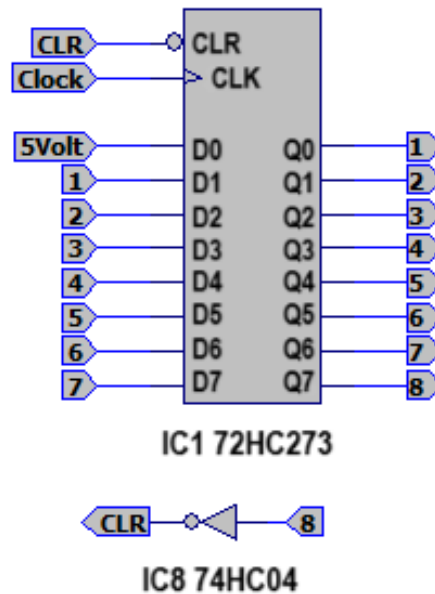
Όπου το t είναι ο χρόνος που απαιτείται μετά την έναρξη της φόρτισης, ο ίδιος χρόνος απαιτείται για την εκφόρτωση οπότε η περίοδος $T = 2 * t$ (2.7).

Εφόσον δεν μπόρεσα να βρω στο φύλλο δεδομένων (datasheet) του 74HC04 την τάση κατωφλίου, έψαξα άλλες εργασίες [16] και εντόπισα ότι η τάση κατωφλίου του 74HC04 μετρήθηκε στα 2.5Volt με τάση τροφοδοσίας στα 5Volt. Οπότε μπορούμε να πούμε ότι η περίοδος είναι $T = 1.38CR$ (2.8)

Στην προσομοίωση στο LTspice εντόπισα ότι χρησιμοποίησα το μοντέλο 74HCT04, οπότε η περίοδος του τετραγωνικού παλμού ήταν στα 50μs και όχι στα 103μs που αναφέρει στην εργασία [2]. Οπότε τροποποίησα τον ασταθές πολυδονητή αλλάζοντας τις αντιστάσεις R23,R24 από 510Ohm σε 950Ohm με σκοπό το ρολόι να παράγει τον τετραγωνικό παλμό με περίοδο 103μs. Με βάση τα αποτελέσματα του LTspice η περίοδος είναι $T = 0.95CR$ (2.9), αυτό ίσως να οφείλεται στα χαρακτηριστικά του συμβόλου 74HCT04 στην τιμή του V_T . Μια εναλλακτική θα ήταν να χρησιμοποιήσουμε το ολοκληρωμένο κύκλωμα 555 για την παραγωγή του τετραγωνικού παλμού και ίσως λειτουργούσε καλύτερα.

Στην πλακέτα που κατασκεύασα χρησιμοποίησα αντιστάσεις 520Ohm, πυκνωτές 0.1μF και το ολοκληρωμένο κύκλωμα SN74HC04N. Ο τετραγωνικός παλμός που παράγει είναι στα 8.88KHz δηλαδή με περίοδο 113μs.

Ο καταχωρητής ολίσθησης (shift register) δέχεται τον τετραγωνικό παλμό του ρολογιού και στέλνει στον SAR και στον DAC παλμό με σκοπό να ενεργοποιεί την κατάλληλη στιγμή τα υποσυστήματά τους. Στο σχήμα 17, βλέπουμε το ολοκληρωμένο κύκλωμα 74HC273 που χρησιμοποιούμε για την υλοποίηση του καταχωρητή ολίσθησης.

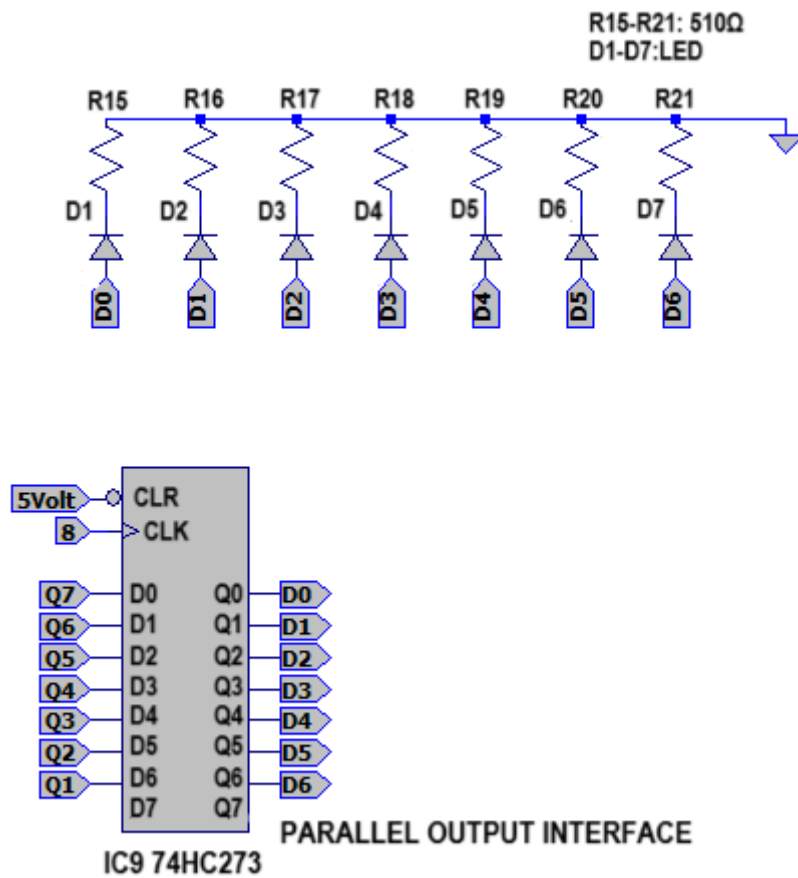


Σχήμα 17 : Shift Register SAR ADC

Ο ακροδέκτης εισόδου CLK δέχεται τον τετραγωνικό παλμό από το ρολόι, που περιγράψαμε προηγουμένως. Ο ακροδέκτης εισόδου D0 είναι μονιμά σε κατάσταση HIGH στα 5V, οι ακροδέκτες D1 έως D7 δέχονται το σήμα της προηγούμενης εξόδου του καταχωρητή ολίσθησης. Επομένως σε κάθε παλμό ρολογιού, η κατάσταση HIGH «διαδίδεται» από την έξοδο Q0 προς την έξοδο Q7. Ο ακροδέκτης CLR όταν αλλάξει κατάσταση από HIGH (5V) σε κατάσταση LOW (0V) επαναφέρει τις εξόδους σε κατάσταση LOW (0V). Όταν η (Q7) γίνει HIGH, τότε το CLR γίνεται LOW και ενεργοποιείται η επαναφορά.

2.2.6 Binary Output

Το υποσύστημα της δυαδικής εξόδου (Binary Output) είναι υπεύθυνο για την διατήρηση του αποτελέσματος της μετατροπής του αναλογικού σήματος σε ψηφιακή μορφή μέχρι να γίνει η προσέγγιση και να είναι έτοιμη η επόμενη δυαδική έξοδος. Για την κατασκευή του υποσυστήματος χρησιμοποιούμε το ολοκληρωμένο κύκλωμα 74HC273. Όπως φαίνεται στο σχήμα 18, οι είσοδοι του 74HC273 έρχονται από τον SAR και οι έξοδοι του ανανεώνονται κάθε οκτώ κύκλους ρολογιού εφόσον ο ακροδέκτης CLK του 74HC273 είναι συνδεδεμένος με την έξοδο Q7 του καταχωρητή ολίσθησης. Επίσης ο ακροδέκτης CLR, που είναι η επαναφορά των εξόδων, είναι μονιμά τροφοδοτημένος στα 5V με σκοπό να μην γίνεται επαναφορά των εξόδων. Τέλος υπάρχουν επτά LED (D1-D7) που δείχνουν την 7bit έξοδο του μετατροπέα.

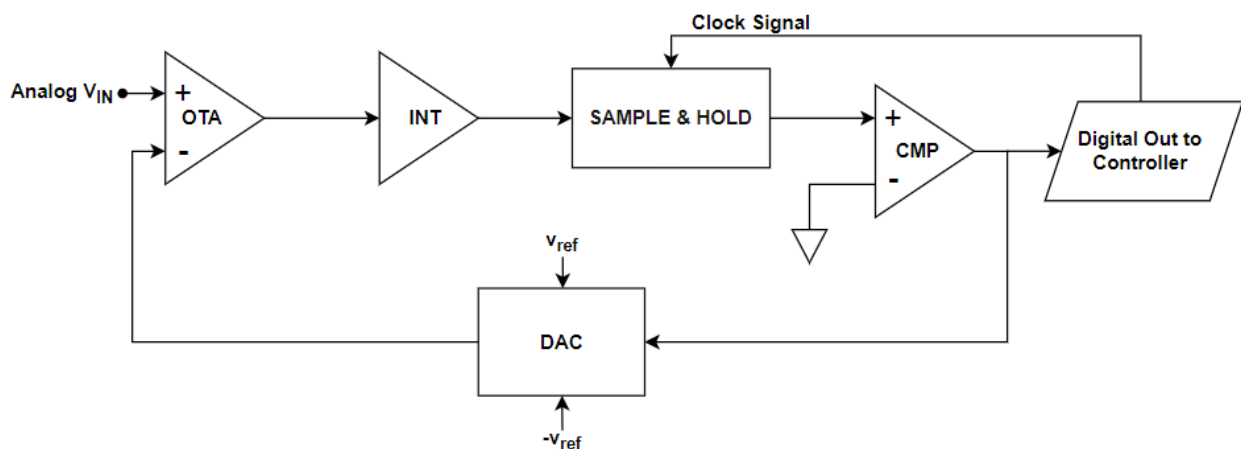


Σχήμα 18 : Binary Output of 7bit SAR ADC

3 Μετατροπές ΣΔ (Sigma Delta ADC)

3.1 Τι είναι ο ΣΔ ADC και πως λειτουργεί

Ο ΣΔ ADC (SIGMA DELTA Analog to Digital Converter) είναι ένας τύπος μετατροπέα που χρησιμοποιείται για την μετατροπή αναλογικών σημάτων σε ψηφιακή μορφή. Ο όρος “Sigma” αναφέρεται στην διαδικασία ολοκλήρωσης που πραγματοποιεί ο μετατροπέας στο αναλογικό σήμα με την πάροδο του χρόνου και ο όρος “Delta” αναφέρεται στην διεργασία που το αναλογικό σήμα συγκρίνεται στη συνέχεια με την τάση του DAC και η διαφορά (δέλτα) ολοκληρώνεται στην πορεία στο στάδιο Sigma. Παρακάτω στο σχήμα 19 βλέπουμε ένα απλό σχηματικό διάγραμμα ενός Sigma Delta ADC.



Σχήμα 19 : Block Diagram ΣΔ ADC

Καθώς εισάγεται το αναλογικό σήμα στον μετατροπέα Σίγμα Δέλτα ξεκινάει η διαδικασία της διαφοράς του σήματος V_{IN} με το σήμα εξόδου του υποσυστήματος DAC (Digital Analog Converter). Στην συνέχεια η διαφορά των δυο σημάτων, δηλαδή η έξοδος του υποσυστήματος OTA (Operational transconductance amplifier), μεταδίδεται στο υποσύστημα INT (Integrator) όπου εκεί το σήμα ενσωματώνεται με την πάροδο του χρόνου. Το συσσωρευμένο σήμα μεταφέρεται στο υποσύστημα SAMPLE & HOLD όπου εκεί γίνεται η δειγματοληψία και η συγκράτηση του σήματος με σκοπό να προλάβει το επόμενο υποσύστημα CMP (Comparator) να πραγματοποιήσει την σύγκριση του συγκρατημένου σήματος με την γείωση (GND). Ο CMP έχει ως έξοδο ψηφιακό σήμα 1bit και μεταδίδεται στην είσοδο του DAC. Ο DAC λειτουργεί σαν διακόπτης στέλνοντας στο υποσύστημα OTA αναλογικό σήμα με τάση V_{ref} ή $-V_{ref}$ ανάλογα αν η είσοδος του είναι σε κατάσταση 1 ή 0. Επίσης η ψηφιακή έξοδος του CMP είναι η ψηφιακή έξοδος του μετατροπέα Σίγμα Δέλτα. Ο επεξεργαστής (Controller) παίρνει την ψηφιακή έξοδο και εκτελεί ένα ψηφιακό φίλτρο χαμηλής διέλευσης στα δεδομένα εισάγοντάς το, με κάποια μορφή συνάρτησης μέσου όρου των τελευταίων ψηφιακών δειγμάτων N , και στη συνέχεια μετατρέπει αυτήν την τιμή σε μια τυπική ψηφιακή αναπαράσταση. Τέλος ο επεξεργαστής στέλνει σήμα ρολογιού στο SAMPLE & HOLD για να κάνει την δειγματοληψία.

Για την εύκολη κατανόηση της λειτουργίας του μετατροπέα αναλογικού σε ψηφιακό σήμα Σίγμα Δέλτα, θα θέσουμε παρακάτω ένα παράδειγμα με έναν ΣΔ ADC με τάση αναφοράς V_{ref} στα 5 Volt και με αναλογικό σήμα εισόδου στα 3 Volt. Το εύρος του αναλογικού σήματος που μπορεί να μετατρέψει ο Σιγμα-Δελτα είναι $[-V_{ref}$ έως $+V_{ref}]$.

Αρχικά το σήμα εισόδου παρέρχεται στο υποσύστημα OTA με σκοπό να γίνει η αφαίρεση με το σήμα του DAC που στην συγκεκριμένη περίπτωση είναι μηδέν, λόγω της αρχικής κατάστασης. Οπότε γίνεται η αφαίρεση $3 - 0$ και η έξοδος του OTA είναι 3 Volt και μεταφέρεται στο υποσύστημα INTEGRATOR με σκοπό να γίνει η συσσώρευση (πρόσθεση) με την προηγούμενη τιμή που είχε συσσωρεύσει ο INTEGRATOR που είναι 0 Volt λόγω της αρχικής κατάστασης. Η έξοδος του INTEGRATOR είναι 3 Volt ($3+0$) και στο επόμενο στάδιο το υποσύστημα SAMPLE & HOLD κάνει την δειγματοληψία και την συγκράτηση του σήματος (3 Volt) με σκοπό ο συγκριτής (CMP) να συγκρίνει το σήμα με την γείωση (0 Volt) και να στείλει το ψηφιακό σήμα σε κατάσταση ON στην είσοδο του DAC. Σε αυτή την φάση το bit της ψηφιακής εξόδου του μετατροπέα είναι **1**. Ο DAC στέλνει στον OTA σήμα V_{ref} (5 Volt) οπότε η έξοδος του OTA είναι -2 Volt ($3-5 = -2$). Ο INTEGRATOR πραγματοποιεί την πράξη ($3+ (-2) = 1$) οπότε ο CMP με σήμα εισόδου 1 Volt στέλνει ψηφιακό σήμα σε κατάσταση ON (το bit της ψηφιακής εξόδου του μετατροπέα γίνεται **1**) και ο DAC στέλνει σήμα 5 Volt οπότε η έξοδος του OTA είναι -2 Volt ($3-5 = -2$). Ο INTEGRATOR πραγματοποιεί την πράξη ($1+ (-2) = -1$) οπότε ο CMP με σήμα εισόδου -1 Volt στέλνει ψηφιακό σήμα σε κατάσταση OFF (το bit της ψηφιακής εξόδου του μετατροπέα γίνεται **0**). Ο DAC στέλνει σήμα -5 Volt οπότε η έξοδος του OTA γίνεται 8 Volt ($3-(-5) = 8$). Ο INTEGRATOR πραγματοποιεί την πράξη ($-1+ 8 = 7$) οπότε ο CMP με σήμα εισόδου 7 Volt στέλνει ψηφιακό σήμα σε κατάσταση ON (το bit της ψηφιακής εξόδου του μετατροπέα γίνεται **1**). Ο DAC στέλνει σήμα 5 Volt οπότε η έξοδος του OTA γίνεται 8 Volt ($3-(-5) = -2$). Ο INTEGRATOR πραγματοποιεί την πράξη ($7+(-2) = 5$) οπότε ο CMP με σήμα εισόδου 5 Volt στέλνει ψηφιακό σήμα σε κατάσταση ON (το bit της ψηφιακής εξόδου του μετατροπέα γίνεται **1**). Στο σημείο αυτό έχουμε μια ροή από bit **11011**. Για να μεταφράσουμε αυτήν την ψηφιακή έξοδο των 5 bit σε αναλογική τιμή (V_{SD_OUT}) θα χρησιμοποιήσουμε τον παρακάτω τύπο:

$$V_{SD_OUT} = \frac{N_{ON}}{N_{Bits}} * 10 - 5 \quad (3.1)$$

Όπου N_{ON} είναι ο αριθμός των καταστάσεων ON (bit =1).

Το N_{Bits} είναι ο αριθμός των Bits.

Ο πολλαπλασιασμός γίνεται με το μέτρο του εύρους τιμών από $-V_{ref}$ έως $+V_{ref}$, δηλαδή από -5 έως 5 που είναι 10. Η αφαίρεση γίνεται με το μέτρο της μετατόπισης κάτω από το μηδέν, στην προκειμένη περίπτωση είναι 5.

Για την ανάλυση της ψηφιακής εξόδου **11011** έχουμε ότι :

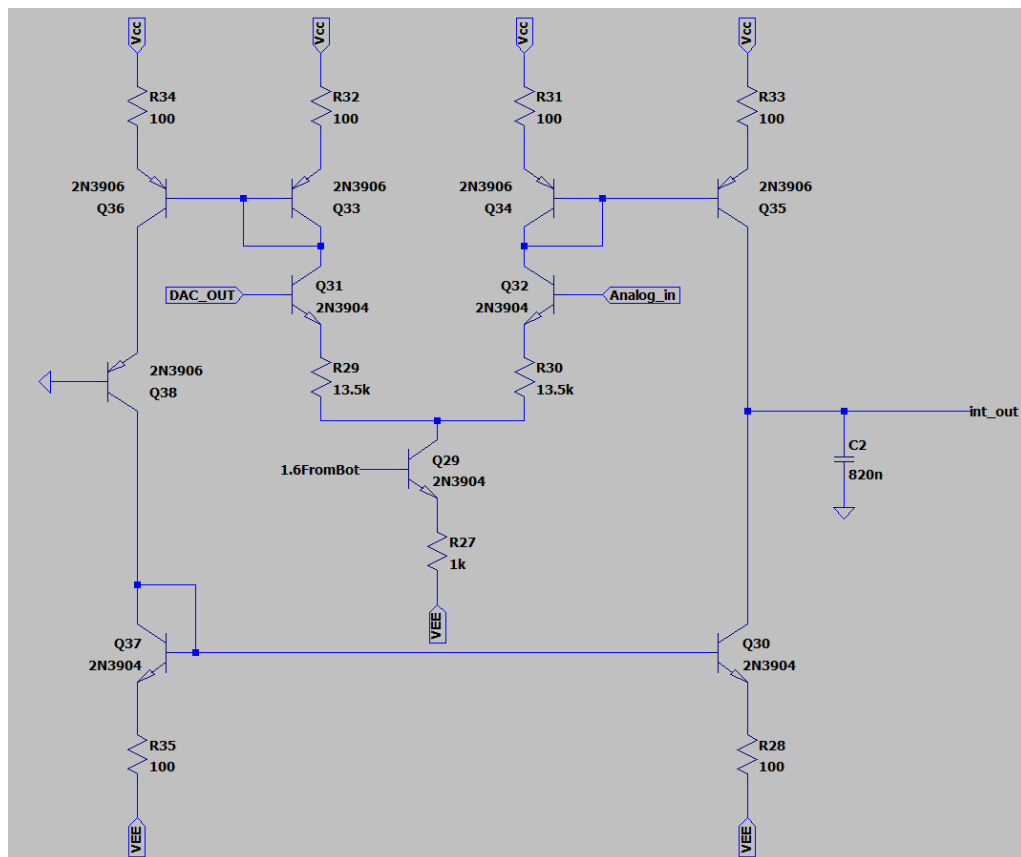
$$V_{SD_OUT} = \frac{4}{5} * 10 - 5 = 0.8 * 10 - 5 = 8 - 5 = 3$$

Βλέπουμε ότι εισάγοντας 3 Volt στον μετατροπέα Σιγμα-Δελτα παρήγαμε την ψηφιακή έξοδο **11011** και στην συνέχεια με τον τύπο 3.1 βρήκαμε ότι το αναλογικό σήμα που μας δίνει η ψηφιακή έξοδος είναι ακριβώς ίσο με το αναλογικό σήμα εισόδου του Σιγμα-Δελτα.

3.2 Επιμέρους κυκλώματα του ΣΔ ADC

Στη δημοσιευμένη εργασία [3], που αναπτύσσεται το σχέδιο ενός μετατροπέα Σίγμα Δέλτα όπου τα διάφορα κυκλώματα υλοποιούνται με χρήση διακριτών διπολικών τρανζίστορς 2N3904 τύπου npn, 2N3906 τύπου pnp, αντιστάσεων και πυκνωτών. Αυτό καθιστά δυνατή την κατασκευή του κυκλώματος με πολύ μικρό κόστος. Οι ΣΔ μετατροπείς που βρίσκει κανείς σήμερα υλοποιούνται σε ολοκληρωμένα μικροηλεκτρονικά κυκλώματα που χρησιμοποιούν τρανζίστορς MOSFET (Metal–oxide–semiconductor field-effect transistor). Αυτό καθιστά αδύνατη την κατασκευή και πειραματική διερεύνηση του κάθε σταδίου του κυκλώματος στα πλαίσια μιας διπλωματικής εργασίας. Ο μετατροπέας για να λειτουργήσει σωστά χρειάζεται έναν επεξεργαστή π.χ. Arduino, για να υλοποιήσει το ψηφιακό φίλτρο και την αποκωδικοποίηση στο ψηφιακό σήμα. Παρακάτω θα δούμε τα υποσυστήματα του ΣΔ ADC εξηγώντας την λειτουργία τους.

3.2.1 Τελεστικός ενισχυτής διαγωγιμότητας και ολοκληρωτής (OTA & INTEGRATOR)



Σχήμα 20 : Σχηματικό διάγραμμα OTA and INTEGRATOR

Στο σχήμα 20 βλέπουμε το σχηματικό διάγραμμα του τελεστικού ενισχυτή διαγωγιμότητας (Operational Transconductance Amplifier, OTA) και του ολοκληρωτή (INTEGRATOR). Το κύκλωμα του OTA διαχειρίζεται την αναλογική είσοδο του μετατροπέα Σίγμα-Δέλτα. Ο ενισχυτής είναι ένα διαφορικό ζεύγος διπολικών τρανζίστορς. Αν οι δύο κλάδοι είναι απολύτως ίδιοι και η διαφορά δυναμικού ανάμεσα στις εισόδους του διαφορικού ζεύγους είναι 0, τότε ρέει το ίδιο ρεύμα και στους δύο κλάδους. Το ρεύμα του ενός κλάδου καθρεφτίζεται στο ρεύμα συλλέκτη του τρανζίστορ Q35 του σχήματος 18. Το ρεύμα του άλλου κλάδου καθρεφτίζεται στο ρεύμα συλλέκτη του τρανζίστορ Q30. Αν τα ρεύματα είναι ίδια τότε το ρεύμα φόρτισης ή εκφόρτισης του πυκνωτή C2 είναι 0. Αν υπάρχει κάποια ανισορροπία ανάμεσα στα ρεύματα τότε το ρεύμα φόρτισης ή

εκφόρτισης του C2 είναι $\neq 0$. Επομένως χαρακτηριστικό της λειτουργίας ενός τελεστικού ενισχυτή διαγωγιμότητας είναι η ικανότητα του να παράγει ρεύμα εξόδου ανάλογο της διαφορικής τάσης εισόδου, που υπολογίζεται ως εξής :

$$I_{out} = (V_{in+} - V_{in-}) * g_m \quad (3.2)$$

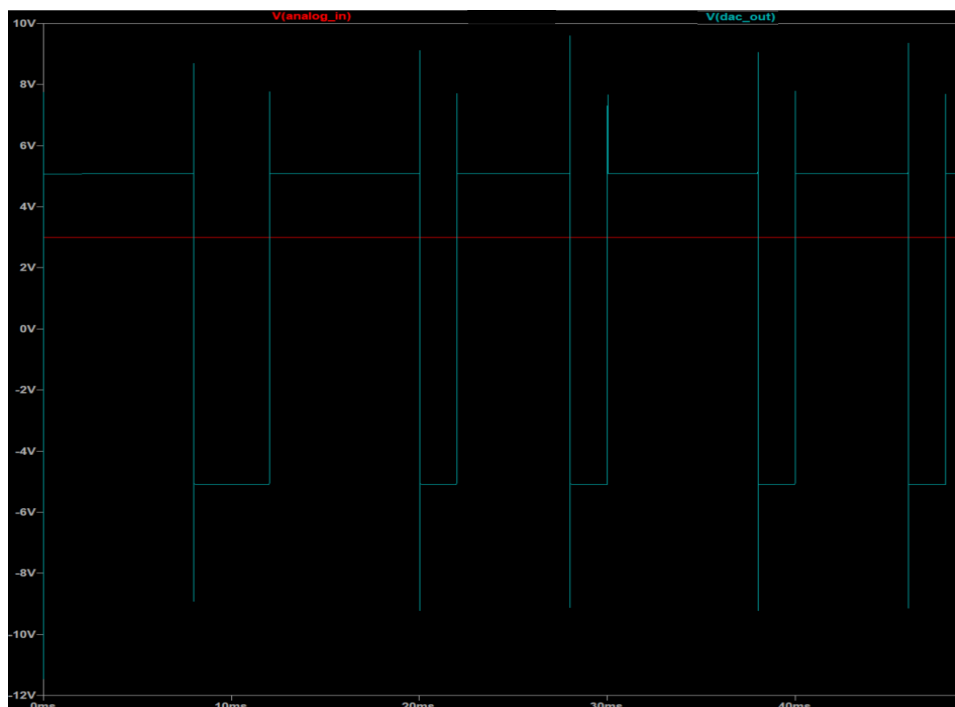
όπου V_{in+} είναι η τάση στη μη αναστρέφουσα είσοδο στην περίπτωση μας η αναλογική είσοδος του Σιγμα-Δελτα, V_{in-} είναι η τάση στην αναστρέφουσα είσοδο στην περίπτωση μας το ψηφιακό σήμα του DAC και g_m είναι η διαγωγιμότητα του ενισχυτή.

Το σήμα ρεύματος στην έξοδο τροφοδοτεί έναν μεγάλο πυκνωτή (820nF), ο οποίος αποθηκεύει το φορτίο με την πάροδο του χρόνου και λειτουργεί ως ολοκληρωτής τάσης (INTEGRATOR). Ο ΟΤΑ είναι κατασκευασμένος έτσι ώστε η τρέχουσα έξοδος να είναι γραμμική σε σχέση με τη διαφορική είσοδο σε ύψος V_{Ref} - ($-V_{Ref}$) και το αναλογικό σήμα εισόδου πρέπει να βρίσκεται στην περιοχή $[-V_{Ref}, +V_{Ref}]$ όπου στην περίπτωση μας η τάση αναφοράς είναι 5 Volt αρά στο εύρος $[-5,5]$. Η αναστρέφουσα είσοδος του ΟΤΑ, (V_{dac}) βρίσκεται σε συχνότητα 250 Hz ή χαμηλότερη στέλλοντας σε κατάσταση 0 την τάση $-V_{Ref}$ και σε κατάσταση 1 την τάση $+V_{Ref}$.

Προκειμένου να μειωθεί το αποτέλεσμα που προκαλεί η ανισορροπία μεταξύ των κλάδων του διαφορικού ζεύγους, αλλά και των καθρεπτών ρεύματος ακόμα και όταν οι εισοδοί του έχουν διαφορά δυναμικού 0, χρησιμοποιήθηκε ένα μικρό ποτενσιόμετρο στη θέση της αντίστασης R28 για τη ρύθμιση του ρεύματος των δύο καθρεπτών που έχουν τοποθετηθεί σε σειρά, έτσι ώστε να τείνει στο 0 το ρεύμα που πηγαίνει προς τον C2.

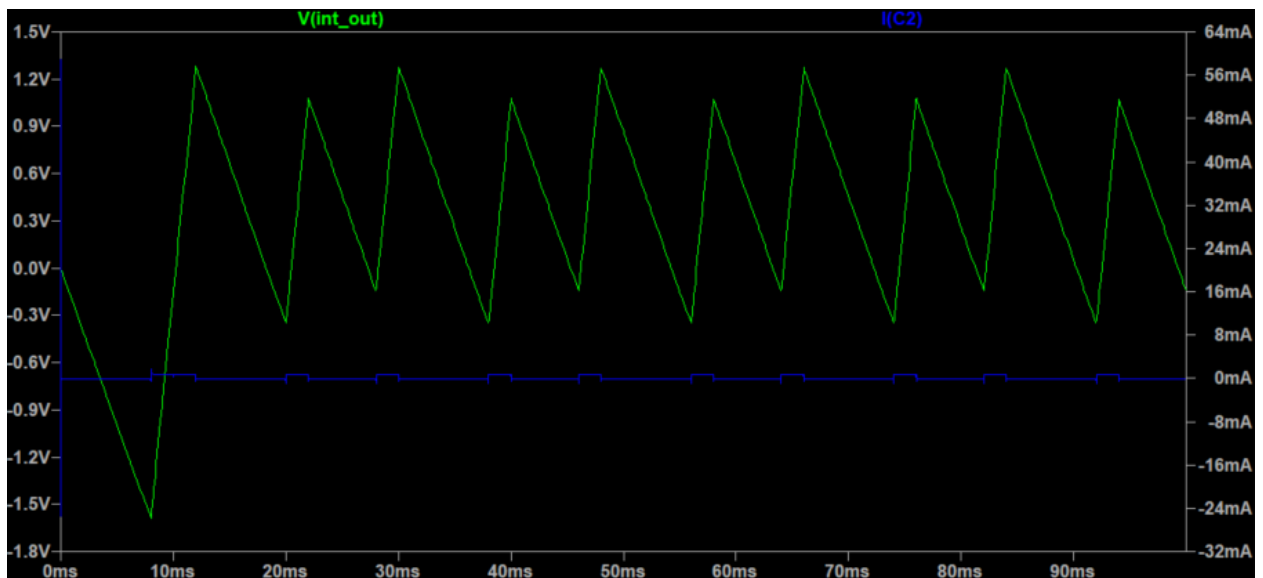
Στην συνέχεια θα δούμε την συμπεριφορά του ΟΤΑ και του INTEGRATOR στο λογισμικό LTspice.

Στο σχήμα 21 βλέπουμε τα δυο σήματα εισόδου του υποσυστήματος ΟΤΑ και του INTEGRATOR. Το αναλογικό σήμα εισόδου $V(\text{analog_in})$ είναι σταθερά 3 Volt και το ψηφιακό σήμα $V(\text{dac_out})$ σε κατάσταση Low στα -5Volt και σε κατάσταση High στα 5 Volt.



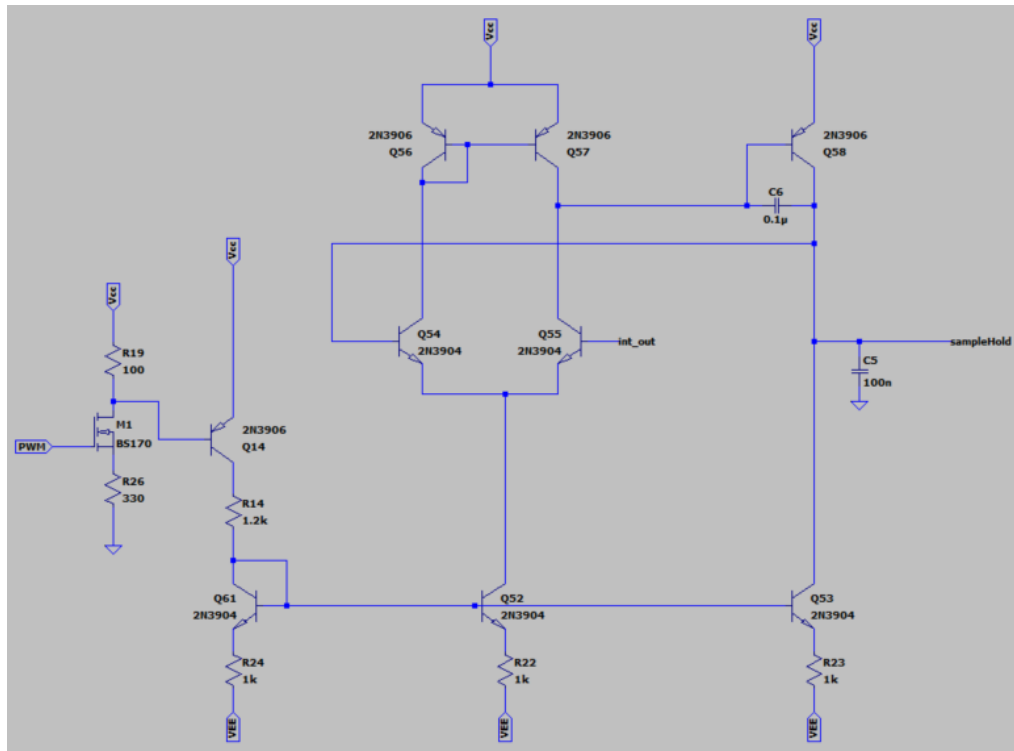
Σχήμα 21 : LTspice ΣΔ ADC V_{analog_in} - V_{dac}

Παρακάτω στο σχήμα 22, παρατηρούμε την έξοδο του υποσυστήματος OTA και του INTEGRATOR. Το $V(\text{int_out})$ είναι η τάση εξόδου και το $I(C2)$ είναι το ρεύμα που διαρρέει από τον πυκνωτή. Παρατηρούμε ότι το $V(\text{int_out})$ αυξάνεται γραμμικά όταν το $V(\text{analog_in})$ είναι μεγαλύτερο από το ψηφιακό σήμα $V(\text{dac_out})$ ενώ αντίστοιχα το $V(\text{int_out})$ μειώνεται γραμμικά όταν η τάση του σήματος $V(\text{analog_in})$ είναι μικρότερη από το ψηφιακό σήμα $V(\text{dac_out})$. Το $I(C2)$ είναι ανάλογο της διαφορικής τάσης εισόδου, στην περίπτωση μας ($V(\text{int_out}) = 3 \text{ Volt}$), το ρεύμα εξόδου έχει τις τιμές $589\mu\text{A}$ (όταν η διαφορική τάση εισόδου είναι $3 - (-5) = 8 \text{ Volt}$) και $-167\mu\text{A}$ (όταν η διαφορική τάση εισόδου είναι $3 - (+5) = -2 \text{ Volt}$). Για $V(\text{int_out}) = 0 \text{ Volt}$ οι τιμές του $I(C2)$ θα ήταν $378\mu\text{A}$ (διαφορική τάση 5 Volt) και $-378\mu\text{A}$ (διαφορική τάση -5 Volt). Παρατηρούμε ότι σε κάθε περίπτωση το εύρος του ρεύματος του πυκνωτή $C2$ είναι σταθερό στα $756\mu\text{A}$.



Σχήμα 22: OTA & INTEGRATOR Output LTspice

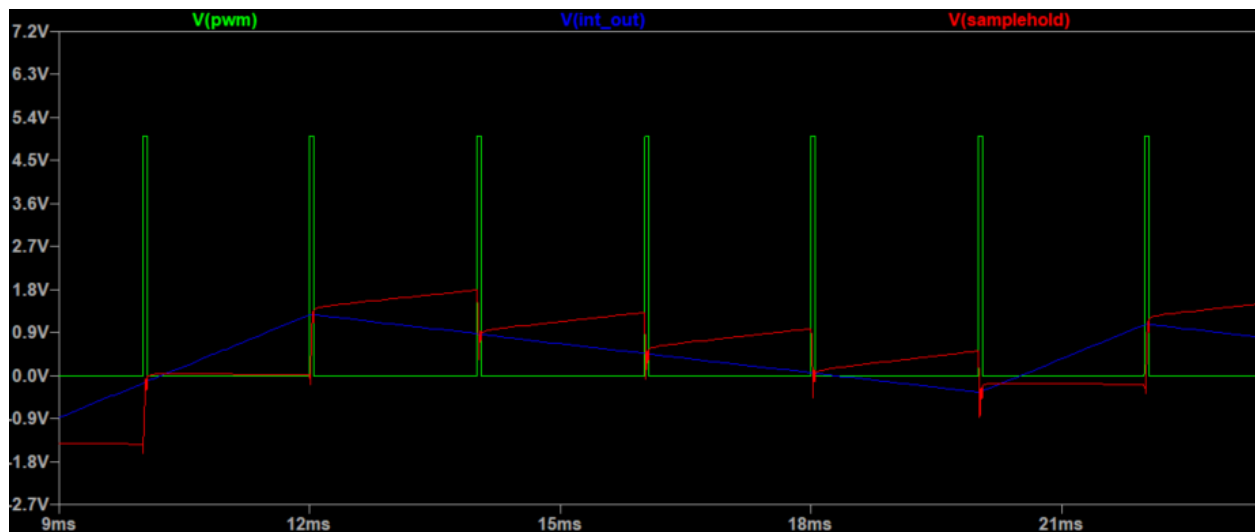
3.2.2 Κύκλωμα Δειγματοληψίας και συγκράτησης (SAMPLE & HOLD)



Σχήμα 23: Σχηματικό διάγραμμα κυκλώματος SAMPLE & HOLD

Παραπάνω στο σχήμα 23 βλέπουμε το σχηματικό διάγραμμα του υποσυστήματος SAMPLE AND HOLD του μετατροπέα ΣΔ. Το διάγραμμα του αποτελείται από έναν στοιχειώδη τελεστικό ενισχυτή op-amp (operational amplifier) σε συνδεσμολογία απομονωτή. Ο απομονωτής χρησιμοποιείται για την φόρτιση του πυκνωτή δειγματοληψίας και μετά απενεργοποιείται με αποτέλεσμα τα τρανζίστορ που θα μπορούσαν να εκφορτίσουν τον πυκνωτή να είναι σε κατάσταση OFF και έτσι να συγκρατεί το φορτίο. Η δειγματοληψία διαρκεί για μικρό κλάσμα του κύκλου δειγματοληψίας και συγκράτησης. Τα εξαρτήματα BS170, R14,19,26 και Q14 έχουν προστεθεί στο κύκλωμα με σκοπό την κατασκευή παλμικής πηγής ρεύματος. Τον ρόλο του ηλεκτρονικού διακόπτη παίζει το MOS τρανζίστορ BS170. Η πηγή ρεύματος είναι το Q14 και ο καθρέφτης ρεύματος είναι το Q61. Το ψηφιακό σήμα που έρχεται από έναν εξωτερικό επεξεργαστή π.χ. Arduino, είναι ένας διαμορφωμένος παλμός 0V (low) 5V (HIGH) με συχνότητα 490Hz και duty cycle 1%. Σκοπός είναι όταν ο παλμός είναι HIGH να ενεργοποιείται ο τελεστικός ενισχυτής για να πραγματοποιηθεί η δειγματοληψία. Η έξοδος του τελεστικού ενισχυτή συνδέεται επίσης με έναν πυκνωτή (C5) έτσι ώστε την χρονική περίοδο που ο παλμός είναι LOW να συγκρατείται σταθερή η τιμή δειγματοληψίας.

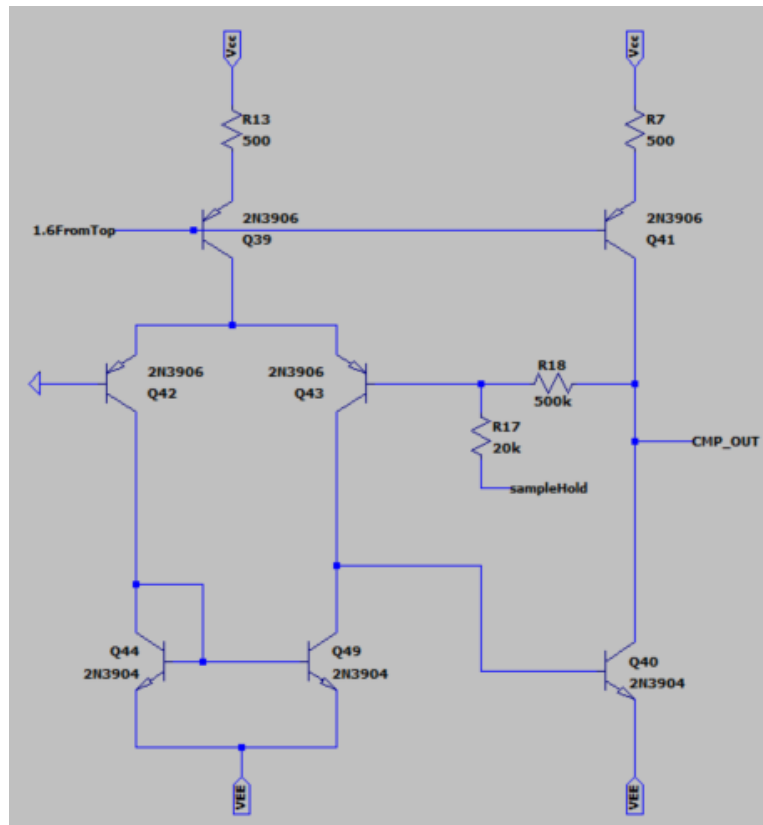
Παρακάτω στο σχήμα 24 βλέπουμε μέσω του λογισμικού LTspice τα σήματα εισόδου και εξόδου του SAMPLE AND HOLD.



Σχήμα 24: LTspice SAMPLE AND HOLD inputs/outputs

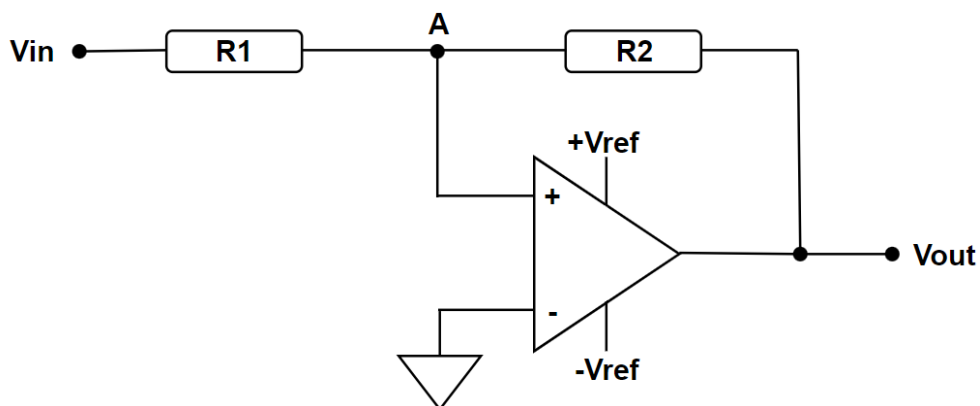
Το πράσινο σήμα είναι ο παλμός PWM από το Arduino. Όπως φαίνεται όταν είναι 5 Volt (για πολύ μικρή διάρκεια περίπου 50μsec) γίνεται η δειγματοληψία της εισόδου Vint_out (μπλε σήμα στο σχήμα 24) και συγκρατείται η τιμή της εξόδου του SAMPLE AND HOLD (κόκκινο σήμα) όταν είναι 0 Volt. Εδώ παρατηρούμε ότι στο στάδιο της συγκράτησης υπάρχει μια μικρή φόρτιση του πυκνωτή και συγκεκριμένα μέχρι την επόμενη δειγματοληψία μετρήθηκε ότι αυξάνεται περίπου 300mV. Όμως όταν η τάση του σήματος Vint_out είναι αρνητική βλέπουμε ότι δεν φορτίζεται ο πυκνωτής και μένει σταθερή η τάση. Όταν δοκιμάζουμε στην προσομοίωση το κύκλωμα SAMPLE AND HOLD χωρίς να έχουμε συνδέσει το σήμα εξόδου του με το κύκλωμα του συγκριτή (COMPARATOR) που θα δούμε στην συνέχεια, η φόρτιση του πυκνωτή C5 στο στάδιο της συγκράτησης δεν πραγματοποιείται. Έτσι ανακαλύψαμε ότι για το φαινόμενο αυτό οφείλεται στην ροή μικρού ρεύματος της βάσης του τρανζίστορ Q43 (βρίσκεται στην ενεργό περιοχή) στο κύκλωμα του συγκριτή (σχήμα 25) που φορτίζει τον πυκνωτή C5.

3.2.3 Συγκριτής (COMPARATOR)



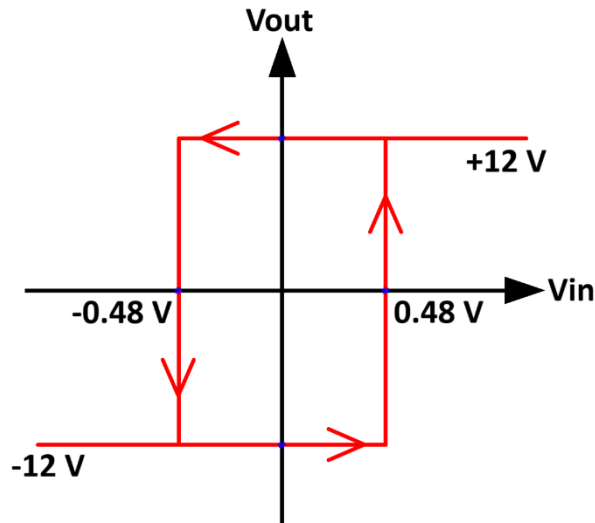
Σχήμα 25: COMPARATOR Schematic Diagram

Παραπάνω στο σχήμα 25 βλέπουμε το σχηματικό διάγραμμα του COMPARATOR. Ο συγκριτής λαμβάνει την δειγματοληπτημένη τάση του INTEGRATOR από το SAMPLE AND HOLD και την συγκρίνει με την αναφορά GND. Από τον συγκριτή και μετά, το σήμα μετατρέπεται σε ψηφιακό. Ο συγκριτής κατασκευάστηκε χρησιμοποιώντας μια παρόμοια τοπολογία op-amp με το κύκλωμα δειγματοληψίας και συγκράτησης: Ένα διαφορικό ζεύγος με ενεργό φορτίο καθρέπτη ρεύματος και σε συνέχεια ως 2^η βαθμίδα ένας ενισχυτής κοινού εκπομπού. Ο τελεστικός ενισχυτής χρησιμοποιείται με θετική ανάδραση υλοποιώντας διάταξη σκανδαλισμού Schmitt. Στο σχήμα 24 έχουμε ένα πιο απλοποιημένο διάγραμμα για το υποσύστημα του COMPARATOR.



Σχήμα 26: Schmitt Trigger COMPARATOR

Αν η έξοδος του συγκριτή V_{out} είναι $+12\text{ V}$, η είσοδος (+) έχει τάση $V(+)=V_{out} \cdot R1 / (R1+R2) + V_{in} \cdot R2 / (R1+R2)$. Όταν $V_{in} > 0$ μειωθεί, το V_{out} θα αλλάξει για $V(+)=0$. Αυτό θα συμβεί όταν $V_{out} \cdot R1 / (R1+R2) + V_{in} \cdot R2 / (R1+R2) = 0 \Leftrightarrow V_{out} \cdot R1 = -V_{in} \cdot R2$ δηλαδή για $V_{in} = -(-R1/R2) \cdot 12\text{ V} = -(20\text{k}/500\text{k}) \cdot 12\text{V} = -12/25\text{ V} = -0.48\text{ V}$. Με τον ίδιο τρόπο βρίσκουμε ότι όταν το $V_{in} < 0$ αυξηθεί, το $V_{out} = -12\text{V}$ θα αλλάξει για $V(+)=0$. Αυτό σημαίνει ότι το $V_{in} = -(-R1/R2) \cdot (-12)\text{ V} = 0.48\text{ V}$. Επομένως πραγματοποιείται η υστέρηση όπως δείχνει το παρακάτω σχήμα.



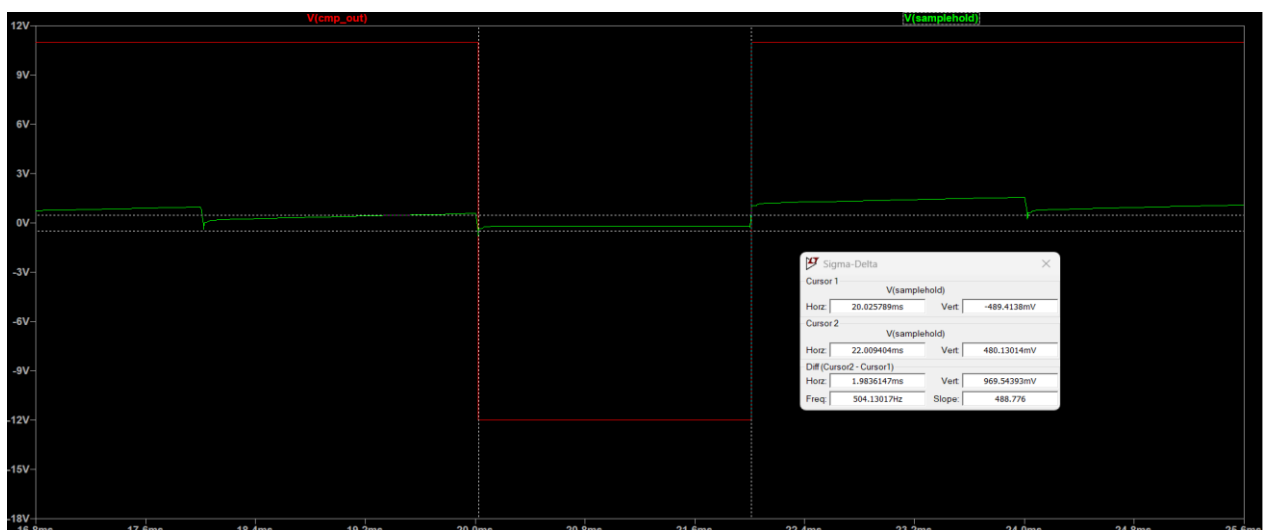
Σχήμα 27: Υστέρηση Schmitt Trigger

Ρυθμίζοντας τις τιμές των αντιστάσεων, μπορούμε να ορίσουμε σε ποια τιμή της εισόδου V_{in} θα γίνει η εναλλαγή χρησιμοποιώντας τις ακόλουθες εξισώσεις.

Ισχύει ότι:

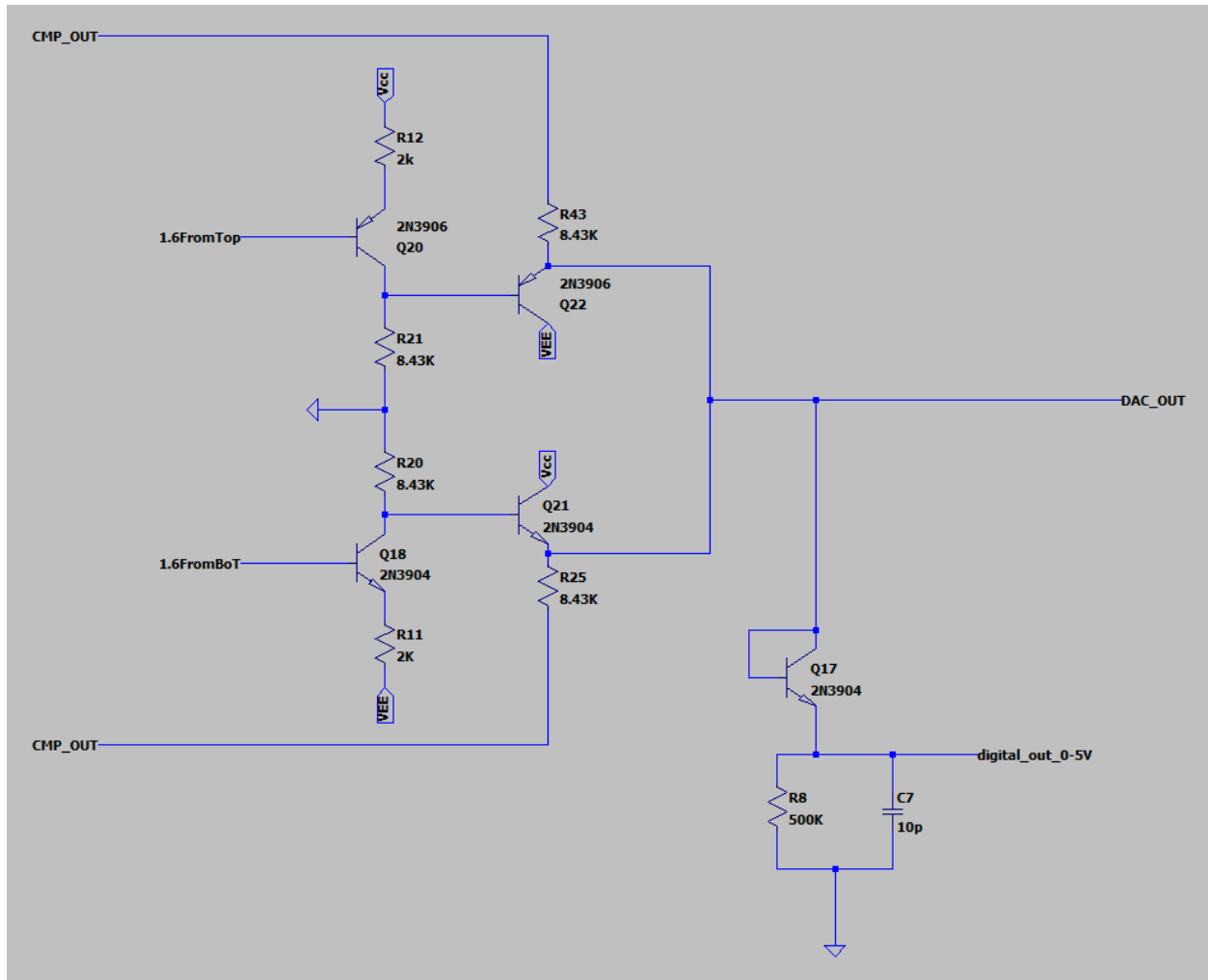
$$i = \frac{V_{in} - V_A}{R1} = \frac{V_A - V_{out}}{R2} \quad (3.3) \quad V_{in} = \frac{-R1}{R2} * V_{out} \quad (3.4)$$

Στο σχήμα 28, με το λογισμικό LTspice επιβεβαιώνουμε το κατώφλι -0.48 V που υπολογίσαμε για το V_{in} έτσι ώστε το V_{out} να αλλάξει από -12 V σε $+12\text{ V}$, όταν το V_{in} πλησιάζει στο 0 από αρνητικές τιμές. Το ίδιο κάναμε και όταν το V_{in} πλησιάζει το 0 από θετικές τιμές, οπότε το V_{out} αλλάζει από $+12\text{ V}$ σε -12 V , για $V_{in} = 0.48\text{ V}$.



Σχήμα 28: LTspice COMPARATOR Switch Voltages

3.2.4 1 bit μετατροπέας ψηφιακού σήματος σε αναλογικό (1bit DAC)



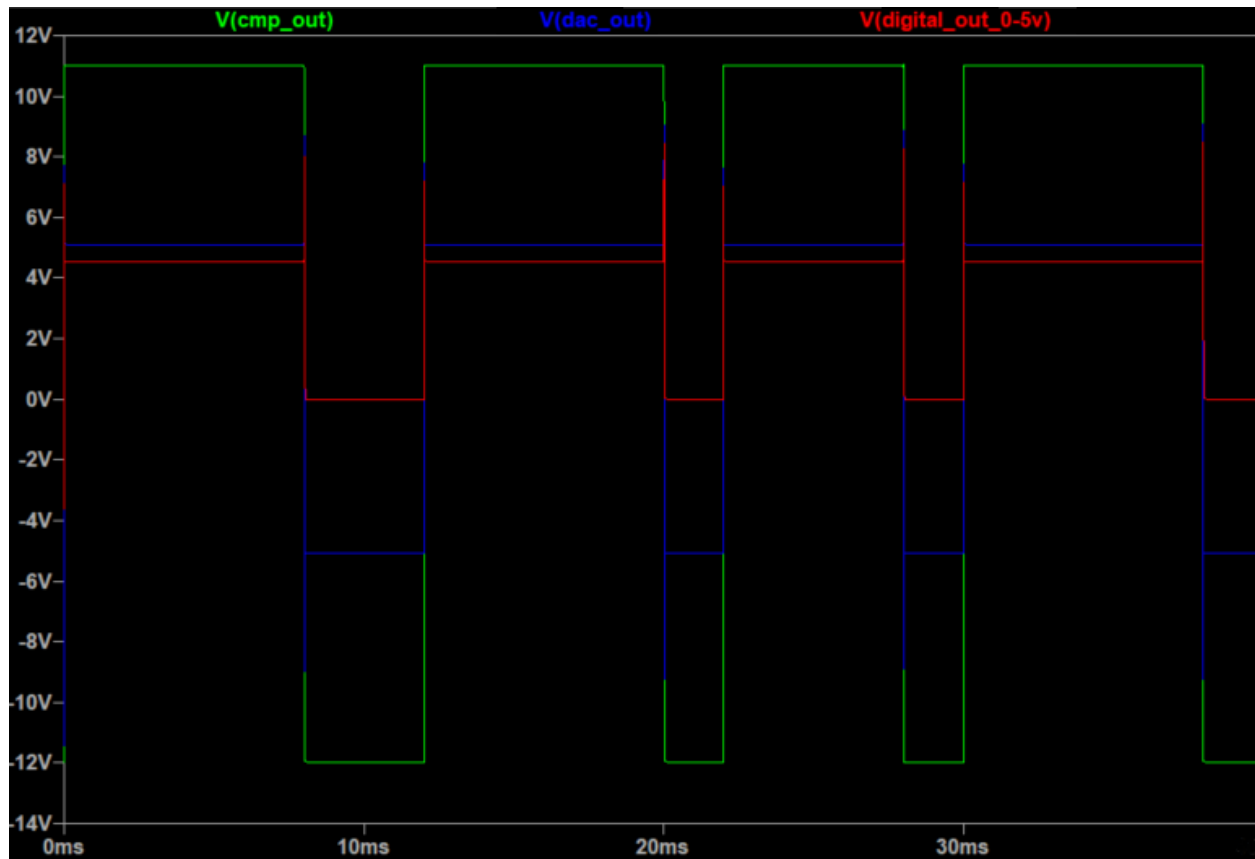
Σχήμα 29: Σχηματικό διάγραμμα DAC

Το υποσύστημα DAC (Digital Analog Converter) έχει ως είσοδο το ψηφιακό σήμα του COMPARATOR (CMP_OUT) και δυο εξόδους. Η πρώτη έξοδος (DAC_OUT) είναι το σήμα που τροφοδοτεί το υποσύστημα ΟΤΑ και INTEGRATOR ενώ η δεύτερη έξοδος (digital_out_0-5V) είναι η ψηφιακή και σειριακή έξοδος του μετατροπέα ΣΔ που καταλήγει σε κάποιον επεξεργαστή π.χ. Arduino και αποτελεί την είσοδο του ψηφιακού φίλτρου decimation.

Στο σχήμα 29, βλέπουμε το σχηματικό διάγραμμα του DAC. Τα τρανζίστορ Q20 και Q18 λειτουργούν σαν πηγές σταθερού ρεύματος. Η κάθε μια από αυτές τροφοδοτεί μια αντίσταση που καταλήγει στην γη. Επομένως επάνω σε κάθε αντίσταση αναπτύσσεται μια σταθερή διαφορά δυναμικού (± 4.3 V) σε σχέση με την γη. Έτσι μπορεί να καθορισθεί το V_B για κάθε ένα τρανζίστορ από τα Q21 και Q22 και τελικά το V_E , αφού το V_{BE} είναι περίπου 0.6-0.7 V. Επομένως όταν το Q21 άγει έχει $V_B = -4.3$ V και $V_{BE} = 0.7$ V άρα $V_E = -5$ V. Ομοίως όταν το Q22 άγει η τάση $V_B = 4.3$ V και η $V_E = 4.3 + 0.7 = 5$ V. Όταν ο συγκριτής δίνει υψηλή έξοδο, ενεργοποιείται το πάνω μισό του κυκλώματος, δηλαδή το τρανζίστορ Q22, ενώ συμβαίνει αυτό, το Q21 παραμένει απενεργοποιημένο, χωρίς να άγει. Όταν η έξοδος του συγκριτή είναι χαμηλή, συμβαίνει το ίδιο, αλλά με συμπληρωματικό τρόπο, με τη διάταξη Q22 να είναι απενεργοποιημένη, και τη διάταξη Q21 να είναι ενεργή.

Όταν το DAC_OUT δίνει -5V, το digital_out πρέπει να είναι 0 V. Για τον λόγο αυτό χρησιμοποιείται το τρανζίστορ Q17 ως δίοδος που πολώνεται ανάστροφα όταν το DAC_OUT γίνεται -5V. Στην περίπτωση αυτή δεν άγει και η έξοδος digital_out γειώνεται μέσω της R8. Όταν η δίοδος είναι ορθά πολωμένη η αντίσταση 500 kΩ εξασφαλίζει μικρό ρεύμα πόλωσης 9 μ A και επομένως μικρή πτώση τάσης (0.5 V) επάνω σε αυτήν.

Στο σχήμα 30 παρατηρούμε τα σήματα εξόδων (DAC_OUT και digital_out_0-5V) και το σήμα εισόδου (CMP_OUT) του υποσυστήματος DAC.



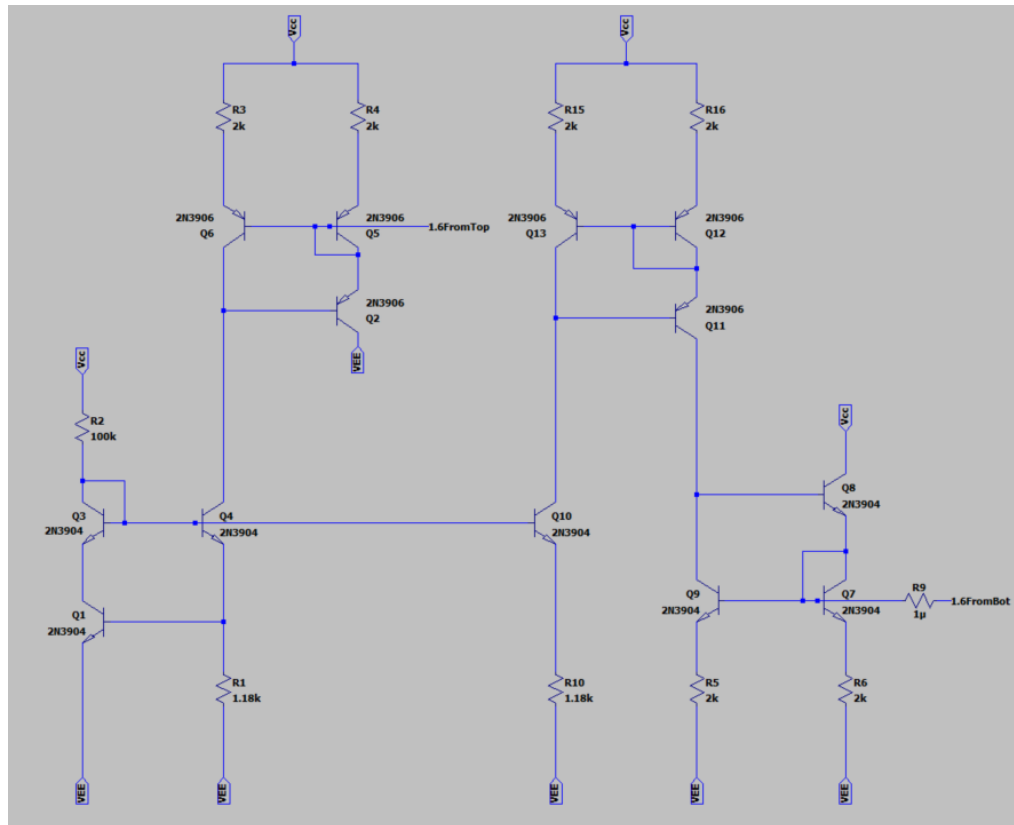
Σχήμα 30: DAC Input/Outputs

Με βάση τα αποτελέσματα του LTspice στο σχήμα 30, προκύπτουν οι παρακάτω τιμές στον πίνακα 2.

Πίνακας 2: Inputs/Outputs of the DAC subsystem of the ΣΔ ADC circuit

Input & Outputs Signals	ON State	OFF State
CMP_OUT	11V	-12V
DAC_OUT	5V	-5V
Digital_out_0-5V	4.5V	0V

3.2.5 Κύκλωμα παραγωγής ρευμάτων πόλωσης (Bias Cell)



Σχήμα 31: Bias Cell Schematic Diagram

Το υποσύστημα Bias Cell ή αλλιώς το κελί πόλωσης είναι μια σύνθετη τοπολογία κυκλώματος που χρησιμοποιεί συγκεκριμένες διαμορφώσεις τρανζίστορ και μηχανισμούς ανατροφοδότησης για να διατηρεί τη σταθερότητα και να ρυθμίζει τη ροή ρεύματος παρά τις διακυμάνσεις στην τάση τροφοδοσίας V_{CC}/V_{EE} . Αξιοποιώντας τα χαρακτηριστικά που μοιάζουν με δίοδο και τις γραμμές φορτίου των διατάξεων 2N3904/2N3906 με βάσεις και συλλέκτες συνδεδεμένες μεταξύ τους, δημιουργούνται στατικά, καλά ελεγχόμενα συνεχή ρεύματα πόλωσης και τάσεις αναφοράς που οδηγούν τα υπόλοιπα μπλοκ του μετατροπέα ΣΔ.

Το τμήμα του κυκλώματος μέσα στο κουτί είναι μια πηγή ρεύματος με έξοδο το ρεύμα $I_c(Q4)$. Το ρεύμα αυτό είναι σχετικά αναίσθητο στις διακυμάνσεις του $V_{CC} - V_{EE}$ εξαιτίας ενός μηχανισμού αρνητικής ανάδρασης: Μια αύξηση του $V_{CC} - V_{EE}$ αυξάνει το ρεύμα μέσα από την R2 γιατί το ένα άκρο της είναι στο V_{CC} και το άλλο δύο πτώσεις τάσης διόδου πάνω από το V_{EE} . Το ρεύμα αυτό τροφοδοτεί τον συλλέκτη του Q1 και την βάση του Q4. Το ρεύμα βάσης του Q4 πολλαπλασιάζεται με το β του Q4 και δίνει περισσότερο ρεύμα εκπομπού σε αυτό. Η αύξηση του ρεύματος εκπομπού του Q4 μοιράζεται ανάμεσα στην R1 και στην βάση του τρανζίστορ Q1. Η αντίσταση μικρού σήματος της βάσης του Q1 είναι αρκετά μικρότερη από την R1 οπότε το μεγαλύτερο κομμάτι της αύξησης περνάει στο Q1. Το ρεύμα του συλλέκτη του Q1 αυξάνεται οδηγώντας στην μείωση του ρεύματος που πηγαίνει στην βάση του Q4. Άρα το $I_c(Q4)$ παραμένει σχετικά σταθερό.

Τα υπόλοιπα στοιχεία δημιουργούν το καθρέφτισμα στην επάνω (FromTop) και κάτω πλευρά (FromBot) για την τροφοδότηση σταθερών ρευμάτων σε όλα τα υπόλοιπα τμήματα του μετατροπέα ΣΔ. Αυτά τα κάτοπτρα είναι καθρέφτες ρεύματος Wilson με εκφυλισμό εκπομπού για να εξουδετερώσουν τις επιδράσεις των πεπερασμένων τιμών β και να βελτιώσουν προσαρμογή του ρεύματος.

4 Πως μετριέται η απόδοση των ADCs

Αυτή η ενότητα παρέχει μια σύντομη επισκόπηση των αρχών που διέπουν την αναλογική σε ψηφιακή μετατροπή. Στη συνέχεια, θα εμβαθύνουμε στην εξέταση των στατικών και δυναμικών μέτρων απόδοσης.

4.1 Βασικές αρχές της μετατροπής αναλογικό σε ψηφιακό σήμα

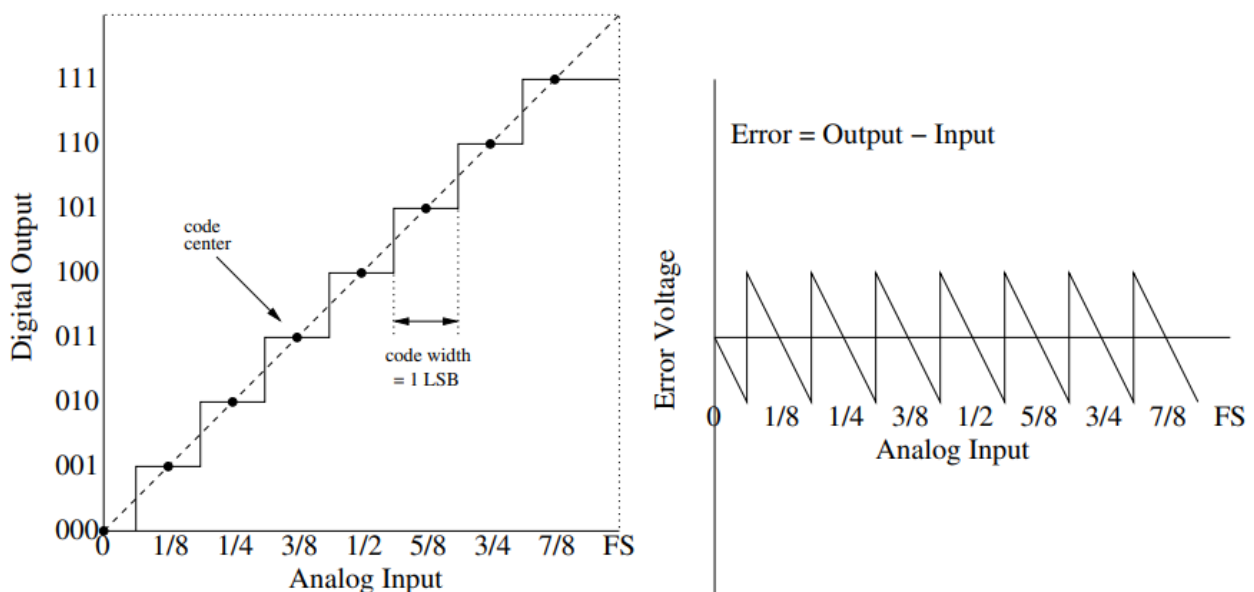
4.1.1 Ανάλυση

Η ανάλυση (Resolution) του μετατροπέα είναι ο αριθμός των bits εξόδου του. Η τάση V_{LSB} είναι το μικρότερο βήμα εξόδου του μετατροπέα που μπορεί να εντοπιστεί και ισούται με $V_{LSB} = \frac{\text{Full-Scale Input Voltage}}{2^N}$, όπου N τα bit εξόδου. Στην περίπτωση μας ο 7-bit SAR ADC με εύρος εισόδου από 0V στα 5V έχει V_{LSB} ίσο με 39mV. Ο μετατροπέας Sigma-Delta έχει ψηφιακή έξοδο 1-bit, όμως εμείς επιλέγουμε με το φίλτρο decimation τι ανάλυση θα υλοποιήσουμε. Το εύρος εισόδου του Sigma-Delta είναι από -5V στα 5V οπότε το μέτρο του εύρους του είναι 10V και αν κάνουμε ανάλυση των 8 bit τότε το V_{LSB} είναι ίσο με 39mV. Ωστόσο, στην πραγματικότητα η πραγματική ανάλυση είναι χαμηλότερη από τα N bit λόγω διαφορετικών πηγών σφαλμάτων.

4.1.2 Σφάλμα Κβαντισμού

Σε έναν αναλογικό-ψηφιακό μετατροπέα (ADC), όταν το δειγματοληπτημένο αναλογικό σήμα εισόδου μετατρέπεται σε διακριτές ψηφιακές τιμές, εμφανίζεται το σφάλμα κβαντισμού (Quantization Error). Το σφάλμα αυτό προέρχεται από το γεγονός ότι το αναλογικό σήμα απεικονίζεται σε πεπερασμένο αριθμό βημάτων στο ψηφιακό πεδίο. Στην ουσία, το σφάλμα κβαντισμού είναι η απόκλιση μεταξύ της πραγματικής τιμής της αναλογικής στάθμης και της μέσης τιμής των αναλογικών σταθμών που δίνουν την ίδια ψηφιακή λέξη.

Για κάθε δεδομένο ADC, το μέγιστο σφάλμα κβαντισμού είναι ίσο με το μισό της τιμής της τάσης V_{LSB} ($V_{LSB}/2$).



Σχήμα 32: Σφάλμα κβαντισμού για έναν ιδανικό ADC [17]

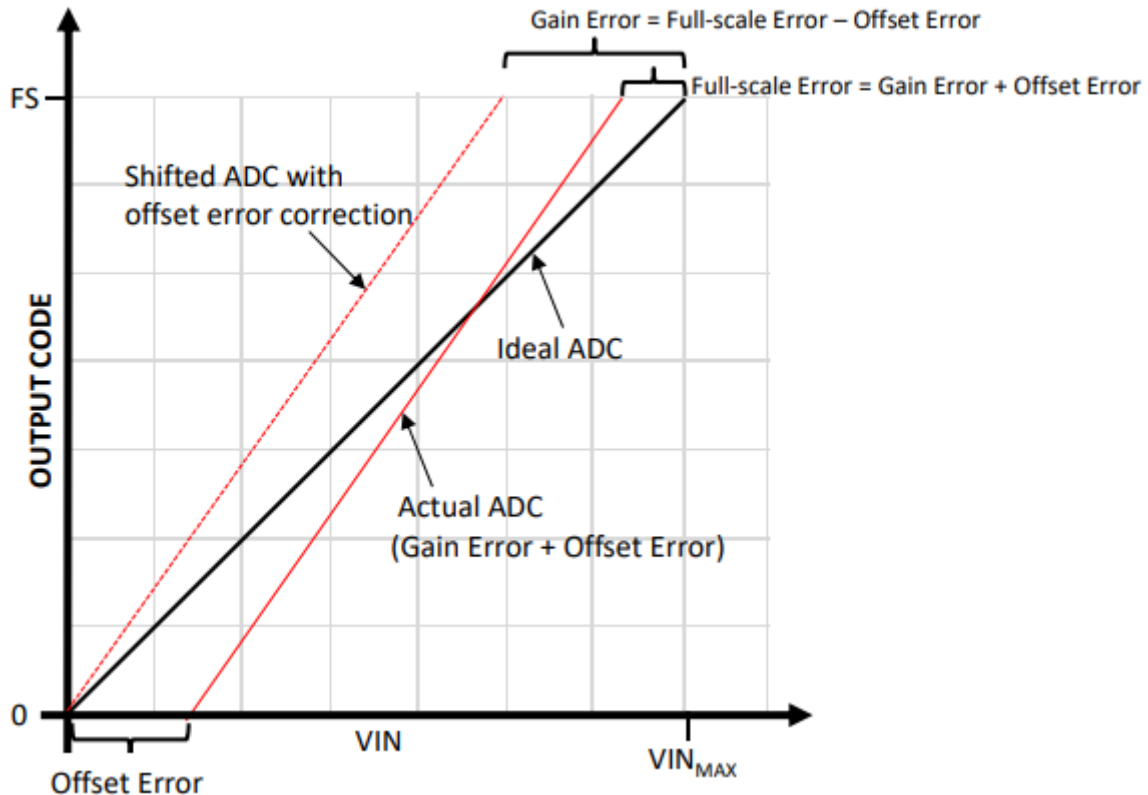
Είναι ενδιαφέρον ότι το φαινόμενο αυτό εξακολουθεί να υφίσταται ακόμη και σε ένα ιδανικό ADC (σχήμα 32), όπου δεν υπάρχει θόρυβος ή παραμόρφωση που εισάγεται από την ίδια τη διαδικασία μετατροπής.

Υποθέτοντας ότι η διαδικασία κβαντισμού εισάγει σφάλματα που είναι ασυσχέτιστα και ομοιόμορφα κατανεμημένα στα επίπεδα κβαντισμού, μπορεί να παρομοιαστεί με λευκό θόρυβο. Αυτό σημαίνει ότι το σφάλμα κβαντισμού μπορεί να μοντελοποιηθεί ως τυχαίος θόρυβος με ίση ισχύ σε όλες τις συνιστώσες συχνότητας, παρόμοια με τα χαρακτηριστικά του λευκού θορύβου στην επεξεργασία σήματος.

4.2 Στατικά μέτρα απόδοσης

4.2.1 Σφάλμα μετατόπισης, σφάλμα πλήρους κλίμακας και σφάλμα κέρδους

Το σφάλμα μετατόπισης (Offset Error) είναι η απόκλιση της μέσης τιμής των τάσεων που παράγουν την ψηφιακή έξοδο του μετατροπέα στο πρώτο βήμα από την ιδανική μέση τιμή, που είναι $LSB/2$. Το σφάλμα πλήρους κλίμακας (Full Scale Error) είναι η απόκλιση της τάσης που παράγει την τελευταία μεταβολή του κώδικα από την ιδανική τιμή που θα έπρεπε να παράγει τον τελευταίο κώδικα. Το σφάλμα κέρδους (Gain Error) ορίζεται ως η απόκλιση του μέσου σημείου του τελευταίου βήματος της ιδανικής μεταφοράς ADC από το μέσο του τελευταίου βήματος του πραγματικού ADC, **μετά την αντιστάθμιση του σφάλματος μετατόπισης**. Το σφάλμα κέρδους μπορεί επίσης να αναπαρασταθεί ως το σφάλμα μετατόπισης μείον το σφάλμα πλήρους κλίμακας. Τα παραπάνω σφάλματα απεικονίζονται στο σχήμα 33.



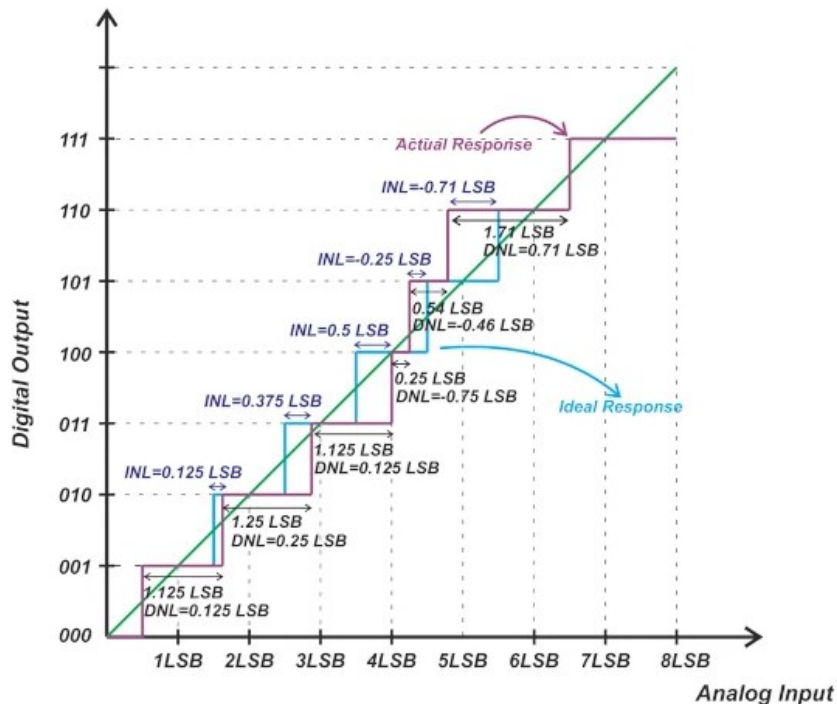
Σχήμα 33 :Full-Scale Error, Gain Error, and Offset Error in ADC [18]

4.2.2 Διαφορική μη-γραμμικότητα (DNL)

Η απόκλιση του πλάτους μετάβασης του κώδικα από το ιδανικό (1 LSB) ονομάζεται διαφορική μη-γραμμικότητα (differential nonlinearity ή DNL). Για στενό πλάτος κώδικα (μικρότερο από 1 LSB), η διαφορική μη-γραμμικότητα είναι αρνητική, ενώ για ευρύ πλάτος κώδικα, η διαφορική μη-γραμμικότητα είναι θετική. Σε έναν ιδανικό ADC, το πλάτος κώδικα είναι πάντα 1 LSB, οπότε η διαφορική μη-γραμμικότητα είναι μηδέν.

4.2.3 Ολοκληρωτική μη-γραμμικότητα (INL)

Η ολοκληρωτική μη-γραμμικότητα (Integral nonlinearity ή INL) μπορεί να περιγράψει πλήρως την απόκλιση της συνάρτησης μεταφοράς από την ιδανική απόκριση. Μπορεί να προσδιοριστεί ως το άθροισμα των διαφορικών μη-γραμμικοτήτων (DNL). Επιπλέον, η ολοκληρωτική μη-γραμμικότητα μπορεί να χαρακτηριστεί ως η απόκλιση των μεταβάσεων των κωδικών από τις ιδανικές τιμές τους. Στο σχήμα 34 απεικονίζεται η μέγιστη INL που υπολογίζεται με την απόκλιση κάθε μετάβασης από την ιδανική τιμή. Εάν όλα τα κέντρα κωδικών προσγειώνονται στην ιδανική γραμμή, η ολοκληρωτική μη-γραμμικότητα είναι παντού μηδέν.



Σχήμα 34: Nonlinearity errors and a missing code of ADC [24]

4.2.4 Έλλειψη κώδικα (Missing Code)

Όταν ένας ψηφιακός κώδικας στην έξοδο ADC δεν παράγεται για την αντίστοιχη τάση εισόδου, υπάρχει ένας κώδικας που λείπει. Ένα παράδειγμα ελλείποντος κώδικα είναι απεικονίζεται στο σχήμα 34. Κάθε φορά που υπάρχει ελλιπής κώδικας το DNL είναι -1.

4.2.5 Δυναμικό εύρος (Dynamic Range)

Δυναμικό εύρος είναι ο λόγος της μικρότερης δυνατής εξόδου (το λιγότερο σημαντικό bit ή V_{LSB}) προς τη μεγαλύτερη δυνατή έξοδο (τάση πλήρους κλίμακας), μαθηματικά εκφράζεται $20 \cdot \log_{10} 2^N \approx 6N$, όπου N τα bit εξόδου.

4.3 Δυναμικά μέτρα απόδοσης

Τα δυναμικά μέτρα απόδοσης καθορίζουν την απόκριση συχνότητας του ADC και μετρούνται με χρονικά μεταβαλλόμενα σήματα εισόδου. Συνήθως χαρακτηρίζονται με την παροχή ενός ημιτονοειδούς σήματος δοκιμής στην είσοδο του ADC και τον υπολογισμό του φάσματος εξόδου του με τον γρήγορο μετασχηματισμό Fourier (FFT).

4.3.1 Λόγος σήματος προς θόρυβο (SNR)

Ο λόγος σήματος προς θόρυβο (SNR) είναι ο λόγος της ισχύος του σήματος εισόδου προς τη συνολική ισχύ του θορύβου, εξ (4.1).

$$SNR = 10 \log_{10} \frac{Power_Signal}{Power_Noise} \quad (4.1)$$

Για έναν ιδανικό μετατροπέα αναλογικού σήματος σε ψηφιακό ο μόνος θόρυβος που υπάρχει είναι το σφάλμα κβαντισμού. Υποθέτοντας ότι η τάση σφάλματος κβαντισμού είναι ομοιόμορφα κατανομημένη στο πλάτος του κώδικα από $-V_{LSB}/2$ έως $+V_{LSB}/2$ ισχύει ότι:

$$E\{\varepsilon^2\} = \frac{1}{V_{LSB}} \int_{-\frac{1}{2}V_{LSB}}^{+\frac{1}{2}V_{LSB}} \varepsilon^2 d\varepsilon = \frac{1}{V_{LSB}} \left[\frac{\varepsilon^3}{3} \right]_{-\frac{1}{2}V_{LSB}}^{+\frac{1}{2}V_{LSB}} = \frac{V_{LSB}^2}{12} \quad (4.2)$$

$$Power_Noise = \frac{(V_{error})^2}{2} = \left(\frac{V_{LSB}}{\sqrt{12}} \right)^2 \quad (4.3)$$

$$Power_Signal = (V_{in_max})^2 = \left(\frac{2^N * V_{LSB}}{2\sqrt{2}} \right)^2 \quad (4.4)$$

Για έναν ιδανικό μετατροπέα ADC από τις παραπάνω εξισώσεις προκύπτει ότι :

$$SNR = 6.02N + 1.76 \text{ dB} \quad (4.5)$$

Στον πίνακα 3 βλέπουμε τις ιδανικές τιμές του λόγου σήματος προς θόρυβο (SNR) που προκύπτουν (λόγω κβαντισμού) από την εξίσωση (4.5), για διάφορες τιμές ανάλυσης μετατροπέων ADC.

Πίνακας 3: Ιδανικός λόγος σήματος προς θόρυβο σε σχέση με την ανάλυση

Resolution (bits)	Signal to Noise ratio (dB)
6	37.9
7	43.9
8	49.9
9	56.0
10	62.0
12	74.0
14	86.0

4.3.2 Λόγος σήματος προς θόρυβο και παραμόρφωση (SINAD)

Ο λόγος σήματος προς θόρυβο και παραμόρφωση (Signal-to-noise-and-distortion ratio ή SINAD ή SNDR) είναι η τιμή του σήματος εισόδου προς το άθροισμα του συνολικού θορύβου και των αρμονικών συνιστωσών. Η εξίσωση 4.6 υποδεικνύει μαθηματικά το SINAD.

$$SINAD = 20 \log_{10} \frac{V_{signal}}{V_{noise+V_{harmonic_Distortion}}} \quad (4.6)$$

4.3.3 Δυναμικό εύρος χωρίς παρασιτικά σφάλματα (SFDR)

Το δυναμικό εύρος χωρίς παρασιτικά σφάλματα (Spurious-Free Dynamic Range ή SFDR) ορίζεται ως ο λόγος της εισόδου σήματος προς τη μεγαλύτερη τιμή της ακουστικής ή αρμονικής παραμόρφωσης ($V_{Spurious}$). Υπάρχουν δυο τρόποι να υπολογίσουμε το δυναμικό εύρος χωρίς παρασιτικά σφάλματα εξ 4.7 και εξ 4.8 .

$$SFDR = 20 \log_{10} \frac{V_{signal}}{V_{spurious}} \quad (4.7) \quad SFDR = SINAD - 10 \log_{10} N \quad (4.8)$$

Όπου N τα bit εξόδου.

4.3.4 Αποτελεσματικός αριθμός των bit (ENOB)

Ο αποτελεσματικός αριθμός bit (Effective Number of Bits ή ENOB) λαμβάνεται από το SINAD. Ο ENOB χρησιμοποιείται συνήθως αντί του SINAD, δεδομένου ότι εκφράζει το SINAD στον αριθμό των bits και όχι σε dB. Λύνοντας την εξίσωση του "ιδανικού SNR" (4.5) ως προς τον αριθμό των bits N, χρησιμοποιώντας το μετρημένο SINAD προκύπτει ότι :

$$ENOB = \frac{(SINAD - 1.76) dB}{6.02 dB/bit} \quad (4.9)$$

5 Σχεδιασμός πλακέτας τυπωμένου κυκλώματος (PCB Design)

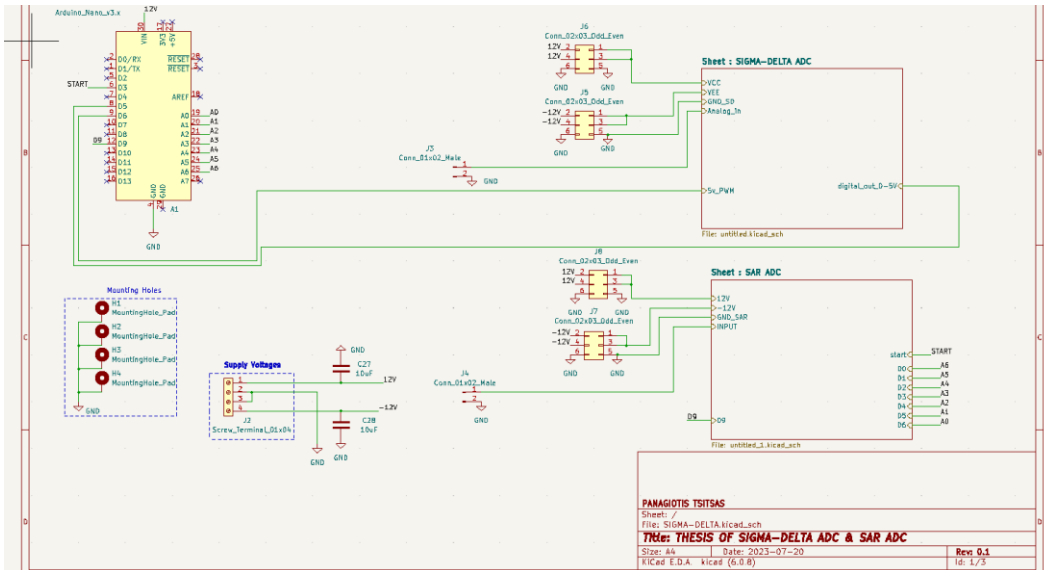
Ο σχεδιασμός της πλακέτας κυκλώματος ;έγινε χρησιμοποιώντας το λογισμικό ανοικτού κώδικα Kicad [23],. Σχεδιάστηκε μια πλακέτα τυπωμένου κυκλώματος που φιλοξενεί τόσο τον ADC SAR (Successive Approximation Register) όσο και τον ΣΔ. Οι έξοδοι και των δύο αποστέλλονται σε έναν μικροεπεξεργαστή τύπου ARDUINO (ATmega328BP). Ο μικροεπεξεργαστής μπορεί να επεξεργαστεί και να μεταδώσει τα ψηφιακά δεδομένα που πράχθηκαν από τους ADCs επιτρέποντας τον χαρακτηρισμό τους.

5.1 Λειτουργία του μικροεπεξεργαστή

Ο ρόλος του μικροεπεξεργαστή εκτείνεται πέρα από την απλή διαχείριση δεδομένων. Αναλαμβάνει την ευθύνη του συγχρονισμού των λειτουργιών του ΣΔ ADC παρέχοντας το απαιτούμενο σήμα ρολογιού. Επιπλέον, για τον SAR ADC, ο μικροεπεξεργαστής παρέχει μια εναλλακτική πηγή ρολογιού ώστε ο χρήστης να επιλέγει αν θα χρησιμοποιήσει ως σήμα ρολογιού την έξοδο του ασταθούς πολυδονητή ή του μικροεπεξεργαστή . Επιπλέον, διευκολύνεται η χειροκίνητη λειτουργία, επιτρέποντας τον σχολαστικό έλεγχο της διαδικασίας μετατροπής. Ειδικότερα, ένας ξεχωριστός ακροδέκτης, ο D3, είναι ο οδηγός της έναρξης της μετατροπής, ενεργοποιώντας το σήμα start, με λογική στάθμη 5V. Στο παράρτημα I & II υπάρχουν οι κώδικες του επεξεργαστή για την λειτουργία του ΣΔ ADC και SAR ADC.

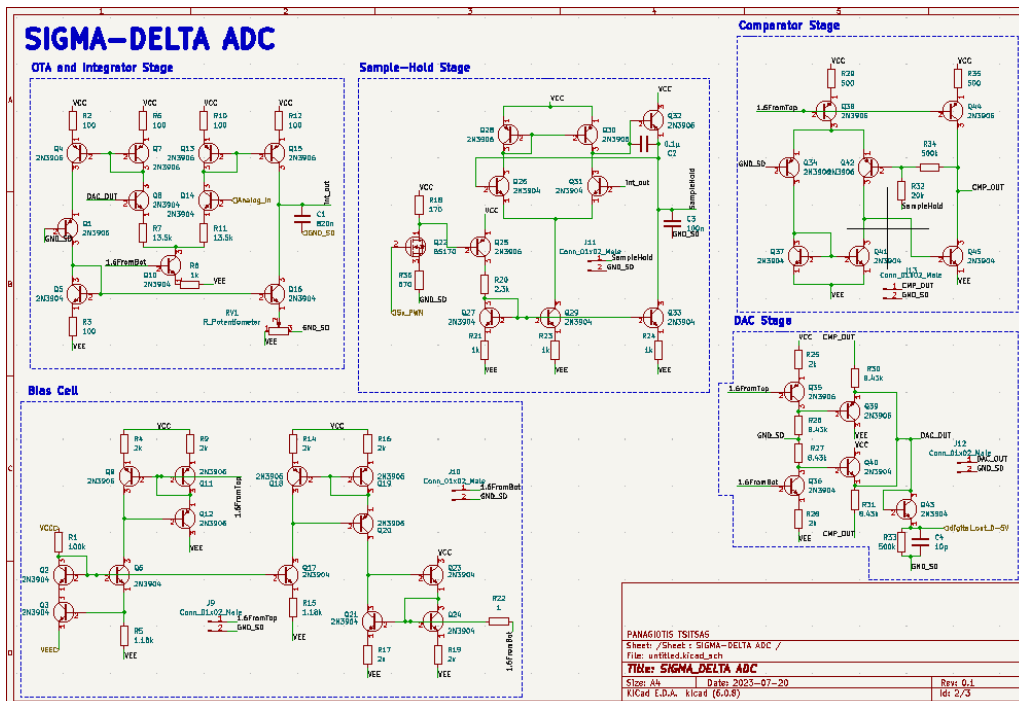
5.2 Σχηματικά σχέδια στο λογισμικό KiCad

Το σχηματικό διάγραμμα στο KiCad που εμφανίζεται στο σχήμα 35 είναι το πάνω σχηματικό ενός ιεραρχικού σχηματικού σχεδίου. Αυτό το σχηματικό σχέδιο, περιέχει τον μικροεπεξεργαστή (Arduino Nano), και τα σύμβολα των δύο μετατροπέων. Επίσης τις εισόδους για τις τάσεις τροφοδοσίας (supply voltages) που είναι -12, 0 και +12 Volt, τους συνδετήρες βραχυκυκλώματος (jumpers connector) j5, j6, j7 και j8 με τους οποίους ο χρήστης επιλέγει ποιος μετατροπέας θα τροφοδοτείται για να λειτουργήσει και τέλος τους συνδετήρες j3 και j4 με τους οποίους ο χρήστης στέλνει το αναλογικό σήμα που θέλει να μετατρέψει ο ΣΔ ή ο SAR ADC αντίστοιχα. Ο σχεδιασμός επιτρέπει και την ταυτόχρονη λειτουργία των μετατροπέων, αν το επιθυμεί ο χρήστης.



Σχήμα 35: Πάνω σχηματικό του ιεραρχικού σχηματικού διαγράμματος στο KiCad

Στο σχήμα 36, βλέπουμε το σχηματικό σχέδιο που περιέχει το κύκλωμα του μετατροπέα ΣΔ. Οι συνδετήρες j9, j10, j11, j12 και j13 έχουν τοποθετηθεί με σκοπό να έχει την δυνατότητα ο χρήστης να παρακολουθήσει τα σήματα των επιμέρους κυκλωμάτων.

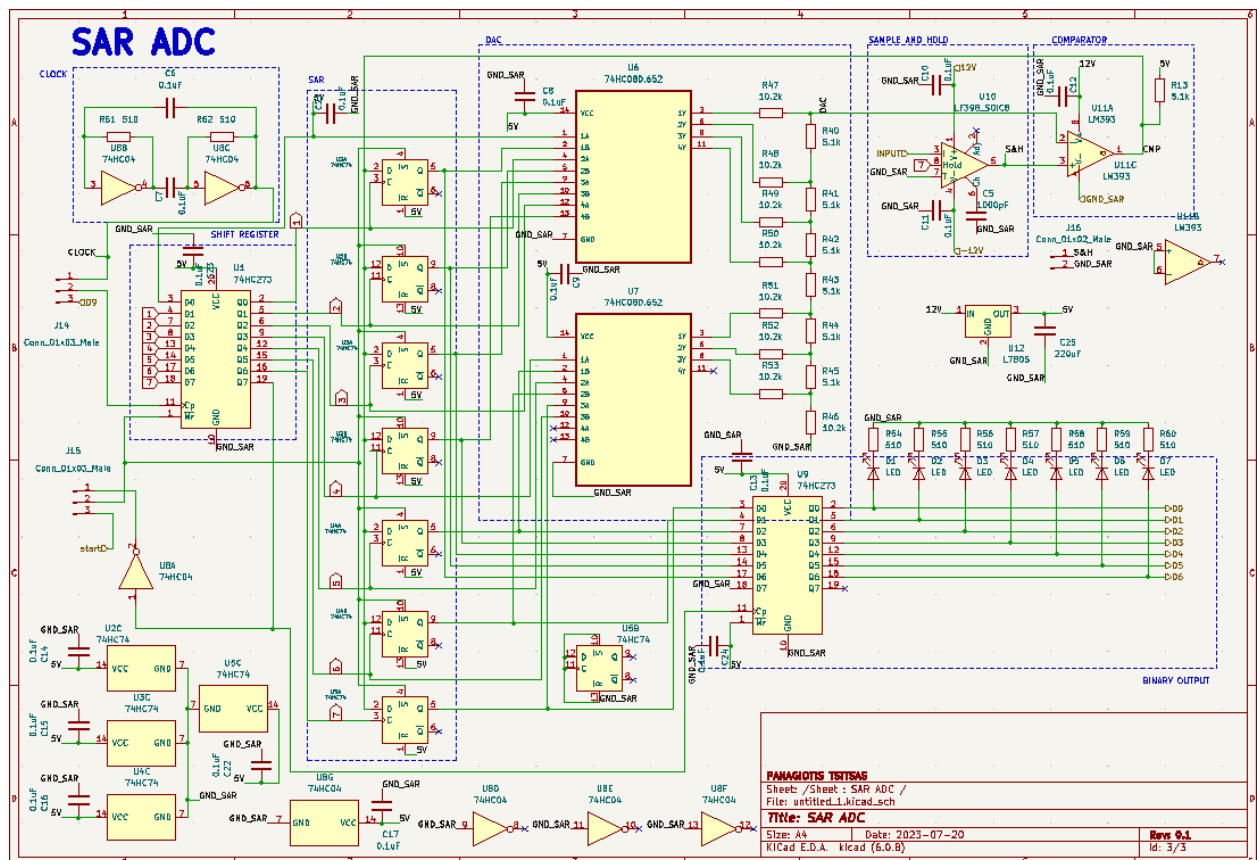


Σχήμα 36: Δεύτερο φύλλο στο σχηματικό του KiCad

Στο Σχήμα 37, παρουσιάζεται το σχηματικό διάγραμμα του κυκλώματος του μετατροπέα SAR. Αυτή η οπτική αναπαράσταση προσφέρει πληροφορίες για τη διάταξη και τη συνδεσιμότητα των εξαρτημάτων. Ειδικότερα, αρκετές είσοδοι των ολοκληρωμένων λογικών κυκλωμάτων (ICs) είναι εμφανώς γειωμένες (GND_SAR), ενώ ορισμένες έξοδοι επισημαίνονται με το σύμβολο μη σύνδεσης, υποδεικνύοντας τη μη αξιοποίηση τους στο κύκλωμα.

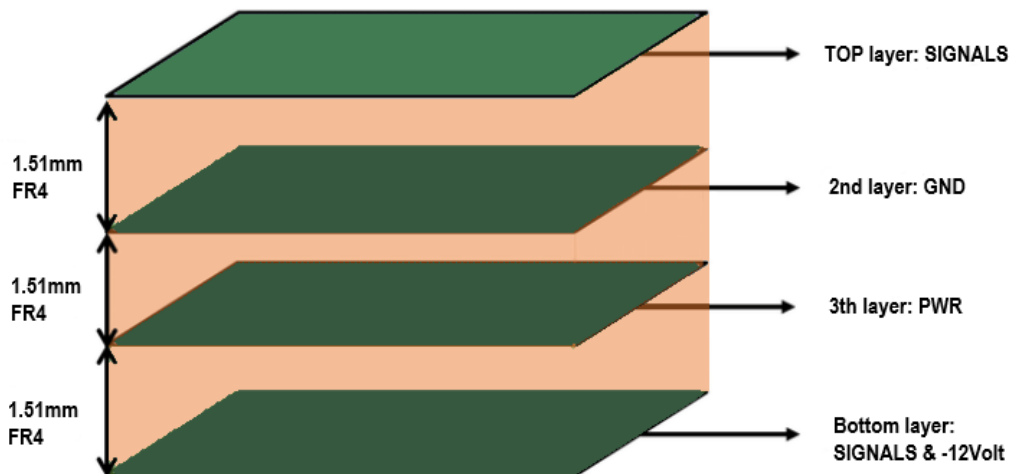
Μια ουσιαστική παρατήρηση κατά το σχεδιασμό αυτού του κυκλώματος είναι η απαίτηση τάσης λειτουργίας και αναφοράς του μετατροπέα SAR, η οποία έχει οριστεί στα 5 Volt. Για την ικανοποίηση αυτής της απαίτησης, κατέστη αναγκαία η ενσωμάτωση ενός ρυθμιστή τάσης (LM7805). Αυτός ο ρυθμιστής, που τροφοδοτείται από την πηγή τάσης 12 Volt της πλακέτας, τροφοδοτεί αποτελεσματικά το κύκλωμα του μετατροπέα SAR με τα απαιτούμενα 5 Volt για τη σωστή λειτουργία του.

Μια αξιοσημείωτη παρατήρηση αφορά τις διαμορφώσεις τροφοδοσίας των στοιχείων LF398 και LM393, που χρησιμεύουν ως κύκλωμα δειγματοληψίας και συγκράτησης και ως συγκριτής αντίστοιχα. Ενώ η αρχική εργασία [2] προσδιόριζε τροφοδοσίες ισχύος -9V και 9V, μια λεπτομερέστερη εξέταση των φύλλων δεδομένων τους [13],[14] αποκάλυψε ένα ευρύτερο εύρος λειτουργίας από -12V έως 12V. Ως αποτέλεσμα, αυτά τα εξαρτήματα μπορούν να τροφοδοτηθούν αποτελεσματικά σε αυτό το διευρυμένο εύρος τάσεων, ευθυγραμμιζόμενα με τη διαμόρφωση τροφοδοσίας που υλοποιήθηκε στην πλακέτα.



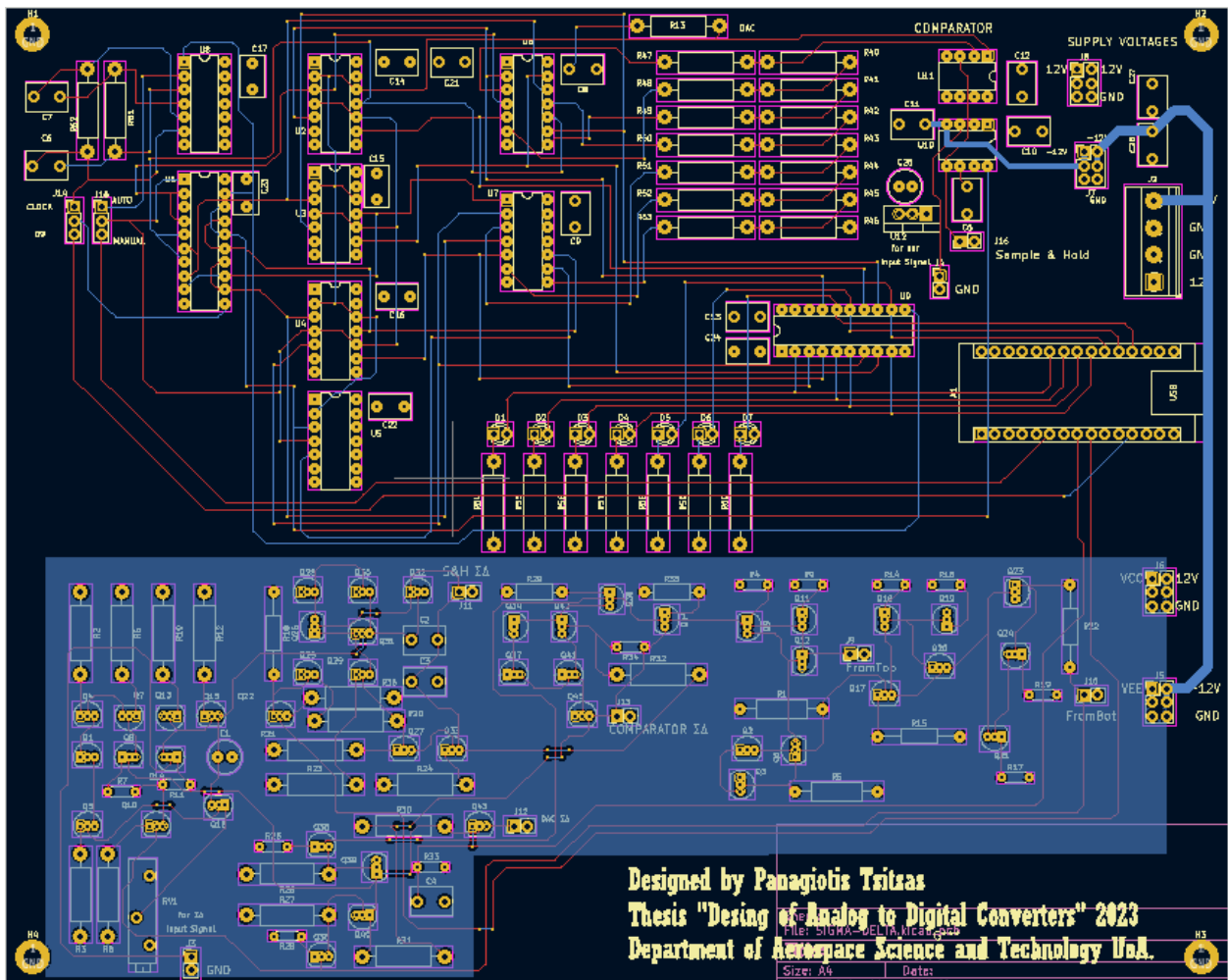
Σχήμα 37: Σχηματικό του SAR ADC στο KiCad

5.3 Τεχνικά χαρακτηριστικά της πλακέτας τυπωμένου κυκλώματος



Σχήμα 38: Τα επίπεδα της πλακέτας με το υλικό τους και το πάχος τους

Στο σχήμα 38, βλέπουμε τα επίπεδα της πολυστρωματικής πλακέτας και το πάχος του κάθε στρώματος που είναι φτιαγμένο από το υλικό FR4. Το FR4 είναι μια κατηγορία υλικού που έχει την μορφή φύλλων κατασκευασμένων από fiberglass με δομή υφάσματος που καλύπτεται από σύνθετη εποξική ρητίνη που δεν είναι εύφλεκτη (FR-flame retardant). Έχει καλή πρόσφυση στο φύλλο χαλκού και ελάχιστη απορρόφηση νερού, καθιστώντας το πολύ κατάλληλο για τυπικές εφαρμογές.[19] Το πρώτο φύλλο χαλκού (TOP layer) έχει πάχος 0.1mm ενώ τα υπόλοιπα φύλλα έχουν πάχος 0.035mm.



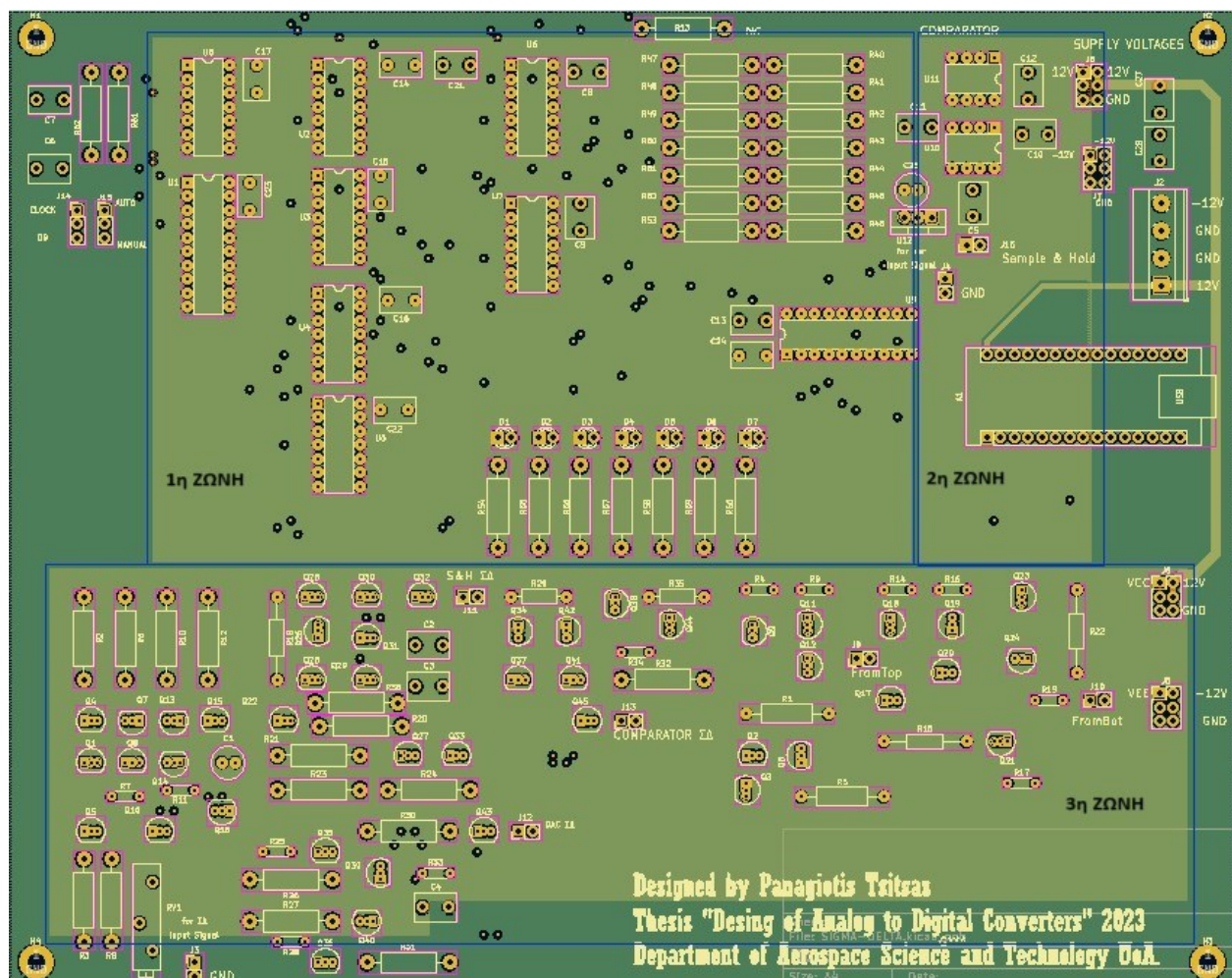
Σχήμα 39: Σχεδίαση PCB πρώτο και τελευταίο επίπεδο στο KiCad

Στο Σχήμα 39 απεικονίζεται η μορφή της πλακέτας τυπωμένου κυκλώματος (PCB), όπου περιγράφεται η διάταξη των εξαρτημάτων και των καλωδιώσεων. Η σχεδίαση της πλακέτας χωρίζεται σε δύο διακριτά τμήματα: πάνω από το μέσο βρίσκεται το κύκλωμα του μετατροπέα SAR, ενώ κάτω από αυτό βρίσκεται το κύκλωμα του μετατροπέα ΣΔ.

Η χρωματική κωδικοποίηση της καλωδίωσης είναι η εξής: οι κόκκινες γραμμές υποδηλώνουν τις συνδέσεις σήματος, που βρίσκονται στο πρώτο στρώμα (TOP layer). Η μπλε καλωδίωση, είναι αγωγοί που βρίσκονται στο τελευταίο στρώμα (Bottom layer),. Στο κύκλωμα SAR, οι μπλε αγωγοί λειτουργούν ως πρόσθετες συνδέσεις σήματος, ενώ στο κύκλωμα ΣΔ, είναι αγωγοί για την τροφοδοσία -12 Volt,.

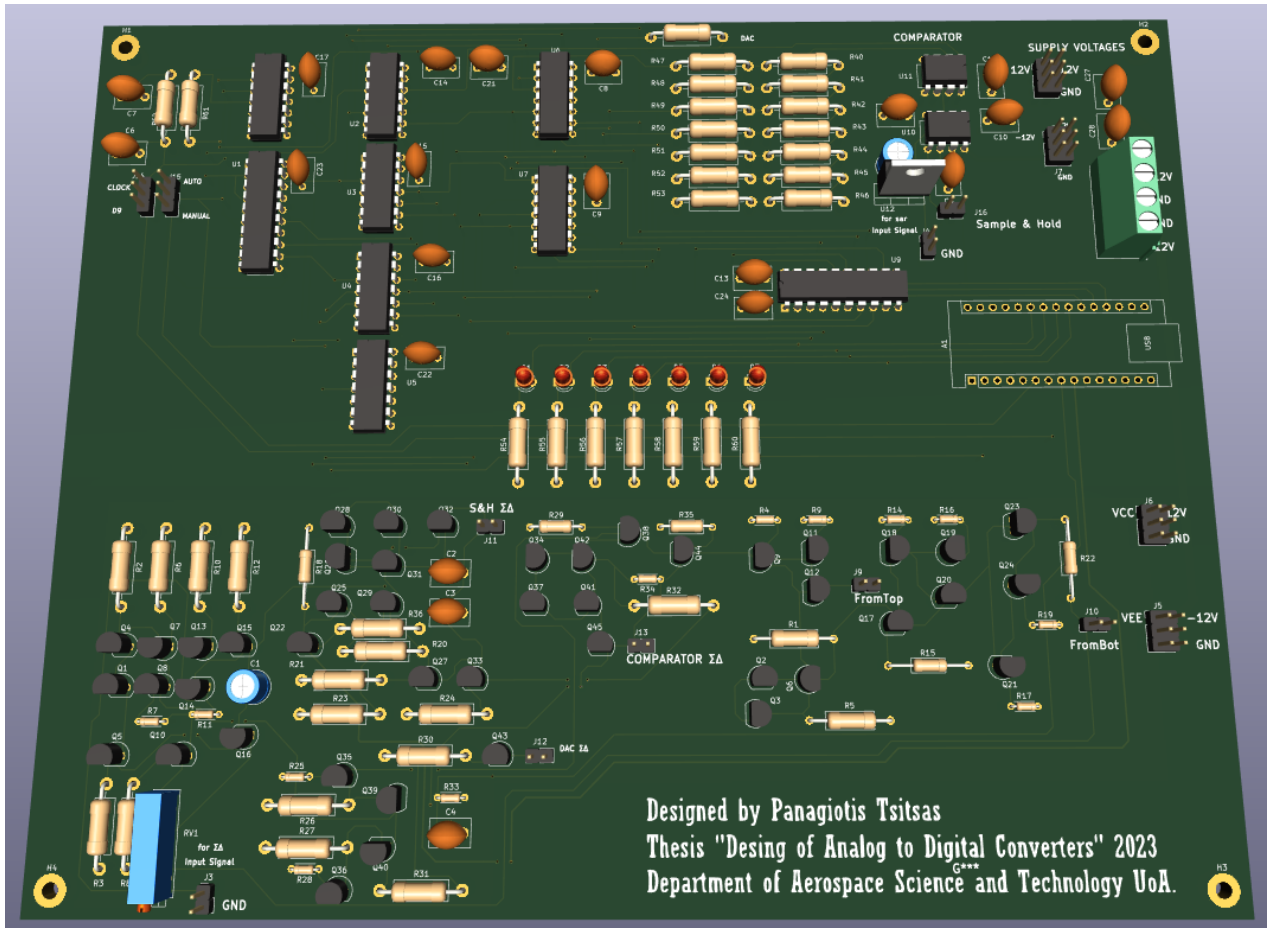
Στο Σχήμα 40 παρουσιάζονται τα επίπεδα που αποτελούν τη δομή της πλακέτας πέραν του επάνω και του κάτω επιπέδου. Το δεύτερο επίπεδο, που απεικονίζεται με πράσινο χρώμα, περιβάλλει ολόκληρη την πλακέτα και χρησιμεύει ως επίπεδο γείωσης. Αυτό το ολοκληρωμένο στρώμα γείωσης είναι ζωτικής σημασίας για τη διατήρηση σταθερών ηλεκτρικών σημείων αναφοράς και την ελαχιστοποίηση των ηλεκτρομαγνητικών παρεμβολών.

Περνώντας στο τρίτο επίπεδο, αυτό υποδιαιρείται σε τρεις διακριτές ζώνες, καθεμία από τις οποίες εξυπηρετεί συγκεκριμένες λειτουργίες. Η πρώτη ζώνη είναι αφιερωμένη στην παροχή τροφοδοσίας στον μετατροπέα SAR στα καθορισμένα 5 Volt. Η δεύτερη ζώνη, που βρίσκεται εντός της περιοχής του κυκλώματος SAR, παρέχει τροφοδοσία στα 12 Volt τόσο στο υποκύκλωμα σύγκρισης (comparator) όσο και στο υποκύκλωμα δειγματοληψίας και συγκράτησης (Sample and hold) του μετατροπέα SAR. Η τρίτη ζώνη, τοποθετημένη εντός του κυκλώματος του μετατροπέα ΣΔ, παρέχει επίσης ισχύ στα 12 Volt. Η ζώνη τροφοδοσίας +12V έχει τοποθετηθεί πάνω από την ζώνη τροφοδοσίας -12V με σκοπό να πέτυχουμε την κατάλληλη ηλεκτρομαγνητική συμβατότητα (Electromagnetic compatibility, EMC) χωρίς να δημιουργούνται μη επιθυμητές ηλεκτρομαγνητικές παρεμβολές (electromagnetic interference, EMI), δηλ θόρυβος, στα εξαρτήματα και στα σήματα των κυκλωμάτων.



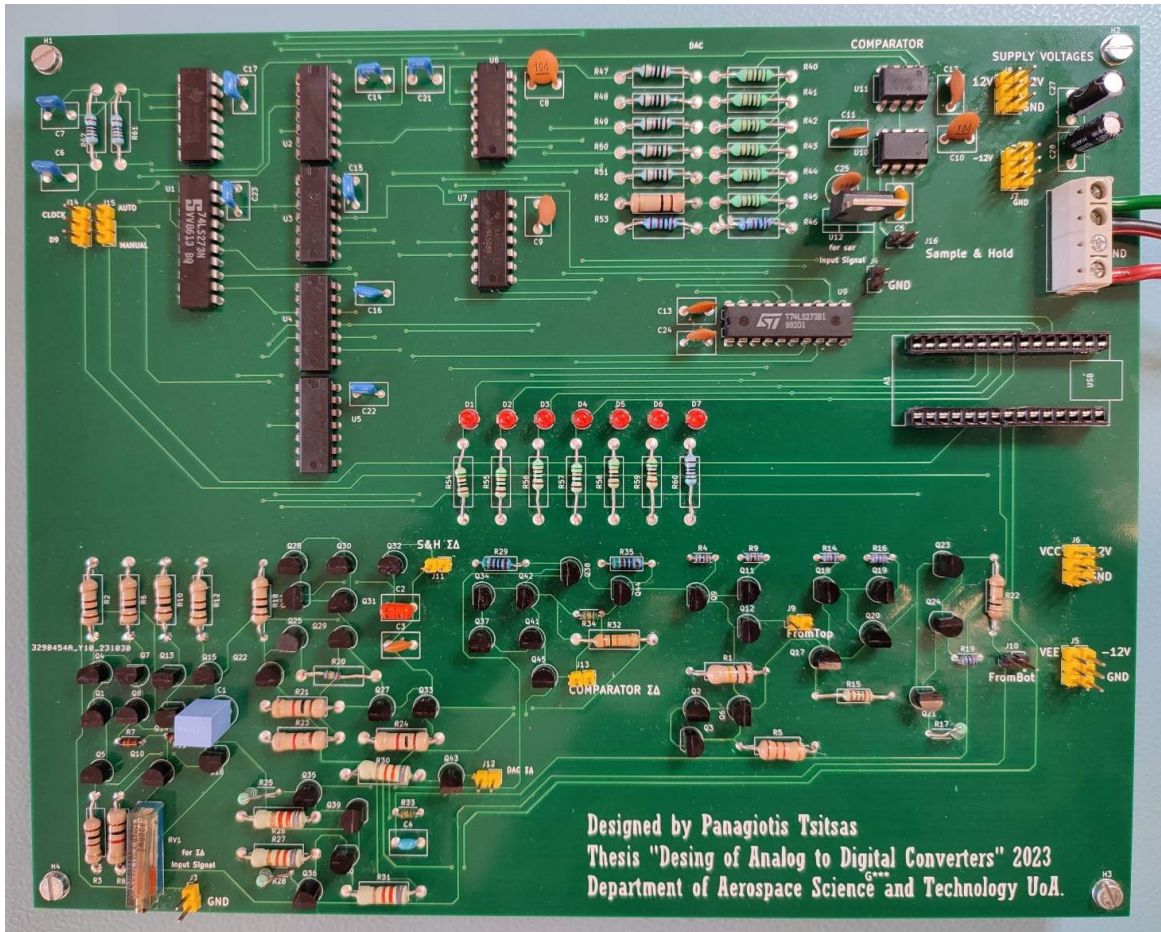
Σχήμα 40: Σχεδίαση PCB δεύτερο και τρίτο επίπεδο στο KiCad

Η τρισδιάστατη προβολή της σχεδιασμένης πλακέτας με τα εξαρτήματα, που φαίνεται στο σχήμα 41, προσφέρει πληροφορίες για τη χωρική διάταξη των εξαρτημάτων, των διαδρομών των σημάτων και των δομικών στοιχείων, αναδεικνύοντας τις ιδιαιτερότητες της διάταξης της πλακέτας και τη βελτιστοποιημένη αξιοποίηση του χώρου.



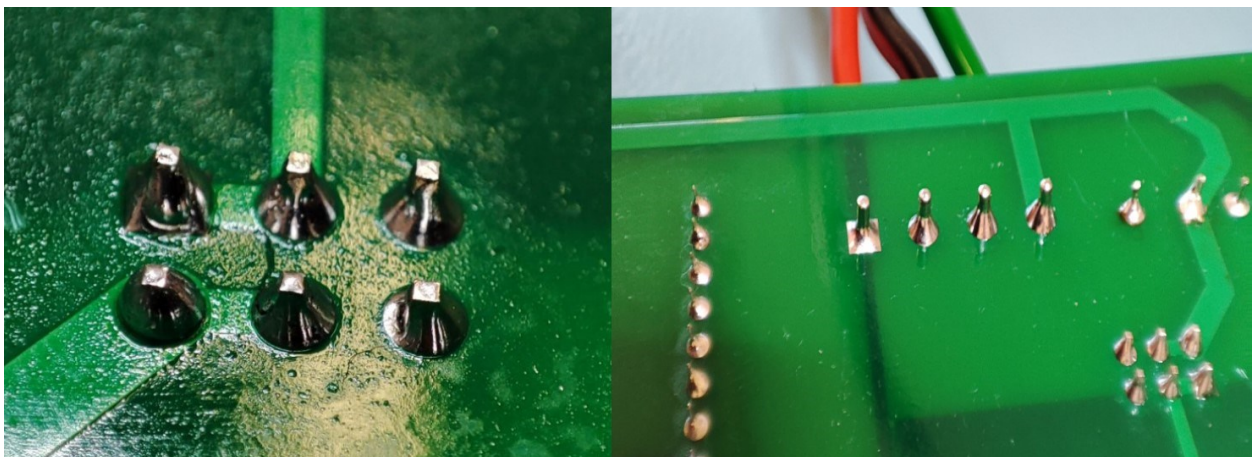
Σχήμα 41: Τρισδιάστατη προβολή πλακέτας στο KiCad

Στο σχήμα 42 φαίνεται η κατασκευασμένη πλακέτα με όλα τα εξαρτήματα προσεκτικά συγκολλημένα στη θέση τους. είναι το τελικό προϊόν της διαδικασίας σχεδίασης και κατασκευής, που μετρήθηκε για την απόδοσή του. Η παρουσία των συγκολλημένων εξαρτημάτων υπογραμμίζει την ακρίβεια και τη δεξιοτεχνία που απαιτεί η συναρμολόγησή της.



Σχήμα 42: Προβολή πλακέτας

Επιπλέον, το σχήμα 43 εστιάζεται στη διαδικασία συγκόλλησης των εξαρτημάτων μέσω επιμεταλλωμένων οπών, προσφέροντας μια πιο κοντινή ματιά στην τεχνική συγκόλλησης που χρησιμοποιήθηκε στη διαδικασία συναρμολόγησης.

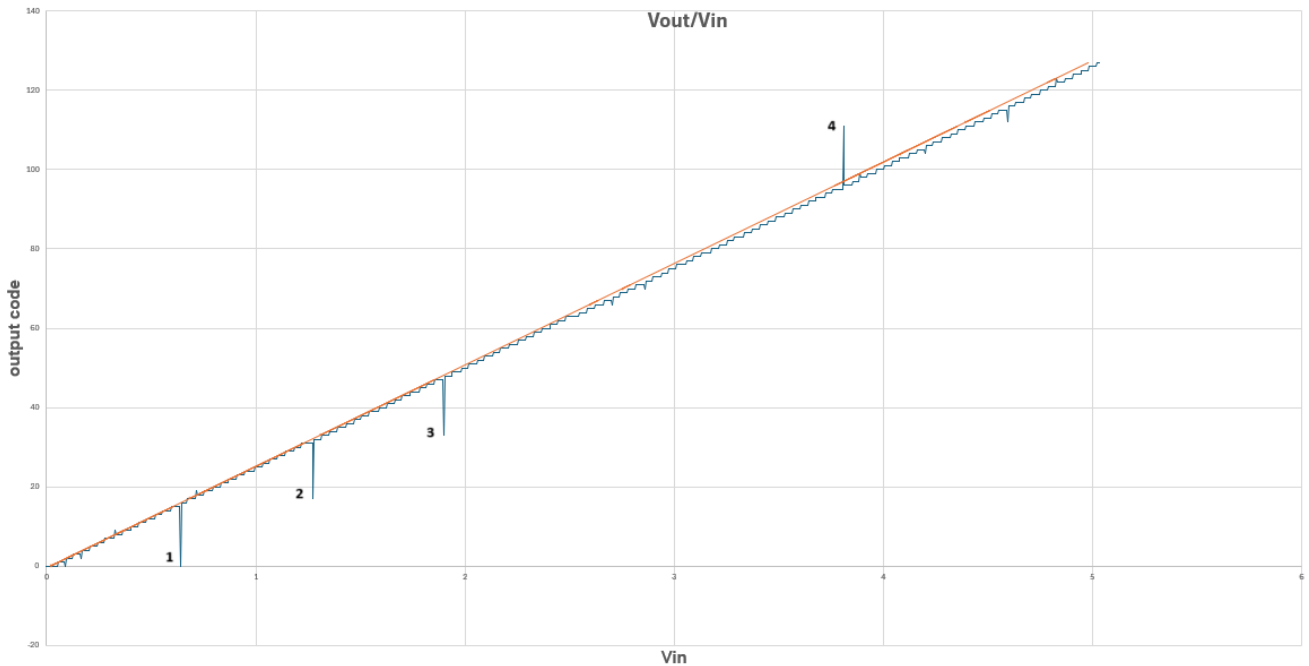


Σχήμα 43 : Συγκόλληση των εξαρτημάτων μέσω οπών

6 Αποτελέσματα μετρήσεων της απόδοσης των ADC

6.1 Στατική απόδοση του 7-bit SAR ADC

Για τις επόμενες μετρήσεις ο μετατροπέας SAR τροφοδοτήθηκε με βήμα 5mVolt στο εύρος εισόδου του, δηλαδή από 0 Volt έως 5 Volt, με σκοπό να μελετηθεί η συμπεριφορά του σε πολλά επίπεδα τάσης (περίπου 1000). Στο σχήμα 44, παρουσιάζονται ο ψηφιακός κώδικας εξόδου του μετατροπέα (μπλε γραμμή) και οι ιδανικές τιμές εξόδου (πορτοκαλί γραμμή).

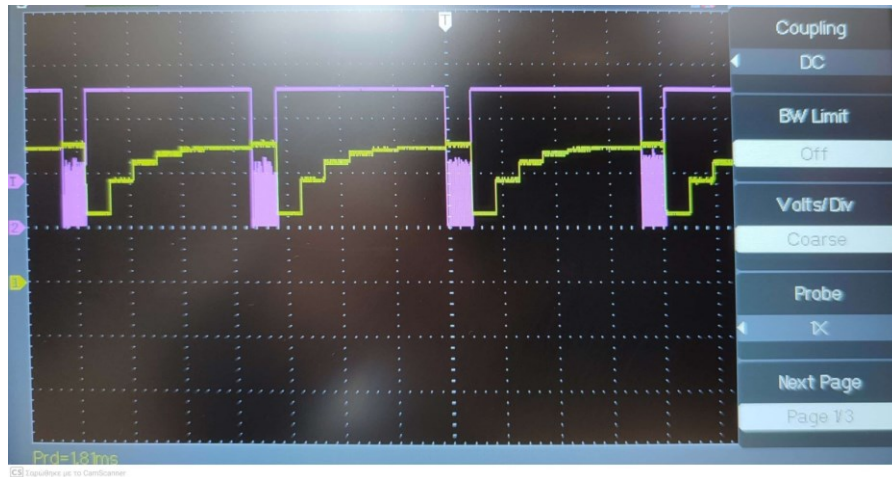


Σχήμα 44: Διάγραμμα αναλογικής εισόδου - ψηφιακής εξόδου 7-bit SAR ADC

Στα σημεία 1,2,3 και 4 βλέπουμε ότι η ψηφιακή έξοδος του μετατροπέα έχει αρκετή απόκλιση από την αναμενόμενη τιμή. Αυτό το φαινόμενο συμβαίνει και σε άλλα σημεία απλώς στο παραπάνω σχήμα επέλεξα αυτά που έχουν την μεγαλύτερη απόκλιση.

Οι παραπάνω αποκλίσεις οφείλονται στην λειτουργία του συγκριτή (Comparator). Ο συγκριτής για να βγάλει στην έξοδο του μια κατάσταση (0 ή 1) συγκρίνει δυο σήματα. Σε περιπτώσεις όπου αυτά τα σήματα έχουν αρκετά μικρή διαφορά μεταξύ τους, ο θόρυβος του σήματος αλλά και η πιθανή διακύμανση της τάσης κατωφλιού ($V_{threshold}$), επηρεάζουν την λειτουργία του συγκριτή με αποτέλεσμα η ψηφιακή έξοδος να ταλαντώνεται.

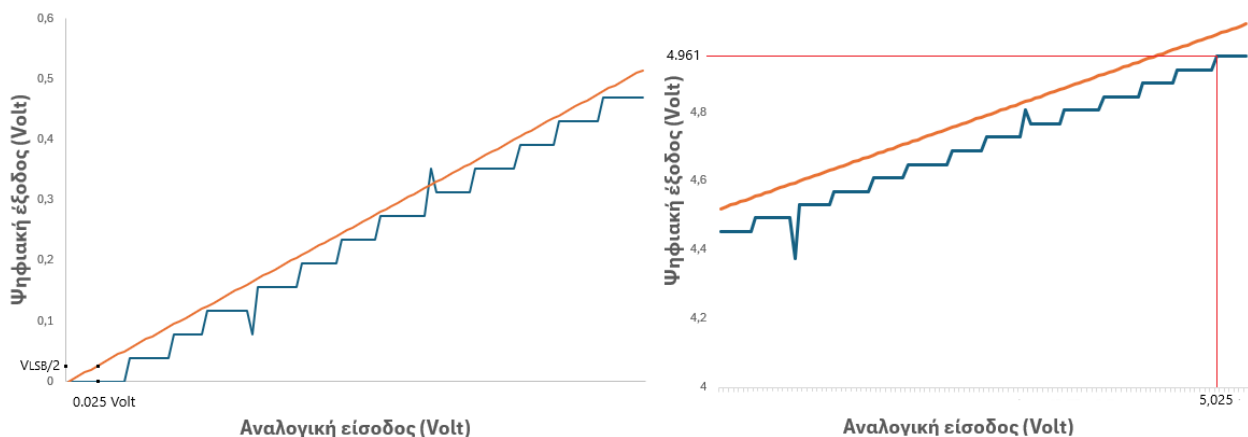
Στο σχήμα 45, τροφοδοτώντας την αναλογική είσοδο του 7-bit SAR ADC με σήμα σταθερό στα 5V μετράμε με έναν παλμογράφο την έξοδο του DAC (κίτρινη γραμμή) και αντίστοιχα την έξοδο του συγκριτή (μωβ γραμμή). Όπως φαίνεται ο συγκριτής στον τελευταίο κύκλο για το τελευταίο bit δεν λειτουργεί σωστά επειδή οι τάσεις που συγκρίνει έχουν αρκετά μικρή διαφορά μεταξύ τους και έτσι υπάρχει αυτή η ταλάντωση στην έξοδο του.



Σχήμα 45: Ταλάντωση εξόδου του συγκριτή

6.1.1 Offset error, Full-Scale error and Gain error of 7-bit SAR ADC

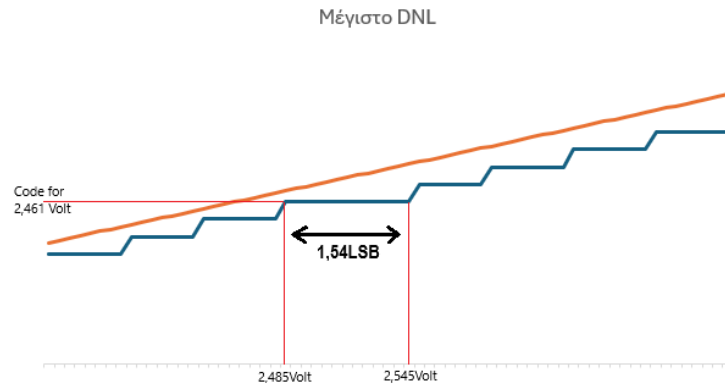
Το σφάλμα μετατόπισης όπως φαίνεται και στο σχήμα 46 (πρώτο διάγραμμα) λαμβάνεται από την απόσταση του μέσου του πρώτου βήματος από την αναλογική είσοδο και υπολογίστηκε στα 0.025 Volt. Το σφάλμα πλήρους κλίμακας υπολογίζεται με βάση την απόσταση του τελευταίου βήματος από την αναλογική είσοδο (σχήμα 46, δεύτερο διάγραμμα) και είναι 0.064 Volt (5.025 Volt - 4.961 Volt). Το σφάλμα κέρδους είναι η αφαίρεση των δυο παραπάνω σφαλμάτων και είναι ίσο με -0.039 Volt.



Σχήμα 46: Σφάλμα μετατόπισης και σφάλμα πλήρους κλίμακας του 7-bit SAR ADC

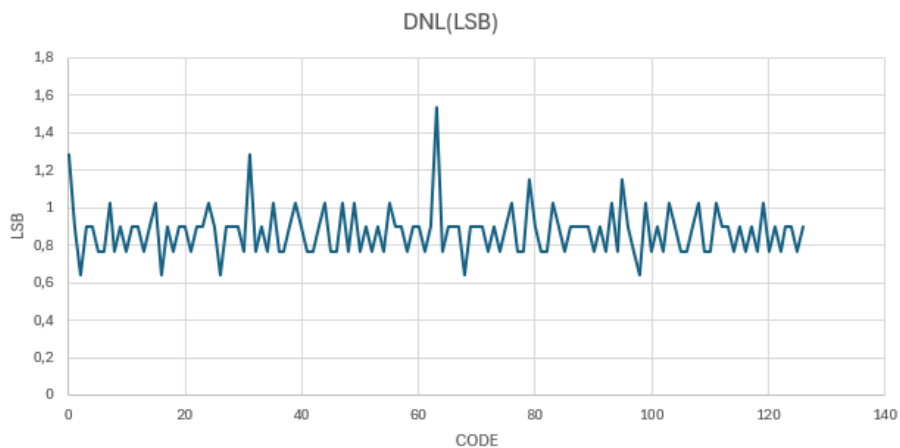
6.1.2 DNL and INL of 7-bit SAR ADC

Η Διαφορική και Ολοκληρωτική μη-γραμμικότητα υπολογίστηκαν με την χρήση του λογισμικού υπολογιστικών φύλλων Microsoft Excel. Στο σχήμα 47 παρουσιάζεται η μέγιστη διαφορική μη-γραμμικότητα που εντοπίστηκε, με τιμή 1.54LSB.

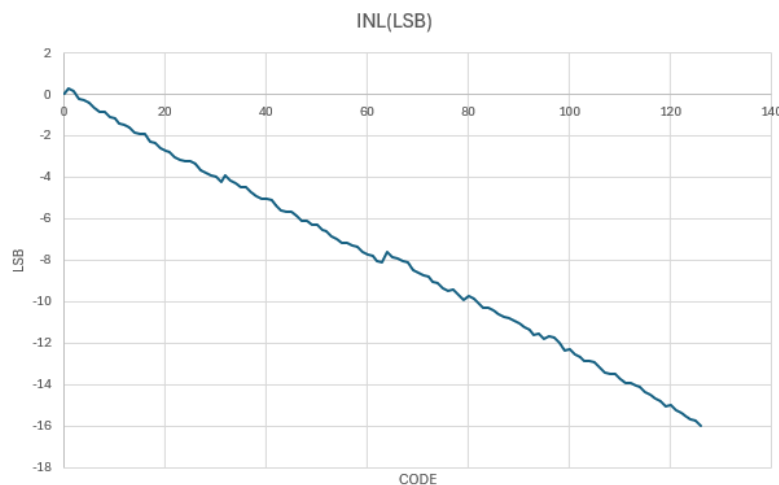


Σχήμα 47: Μέγιστο DNL του 7-bit SAR ADC

Στα σχήματα 48 και 49, βλέπουμε τα διαγράμματα για με τις τιμες των DNL και INL αντίστοιχα, με μονάδα μέτρησης (LSB), από 0 εως 5 Volt. Η μέγιστη τιμή της ολοκληρωτικής μη-γραμμικότητας είναι στα -16 LSB.



Σχήμα 48: DNL OF 7-bit SAR ADC



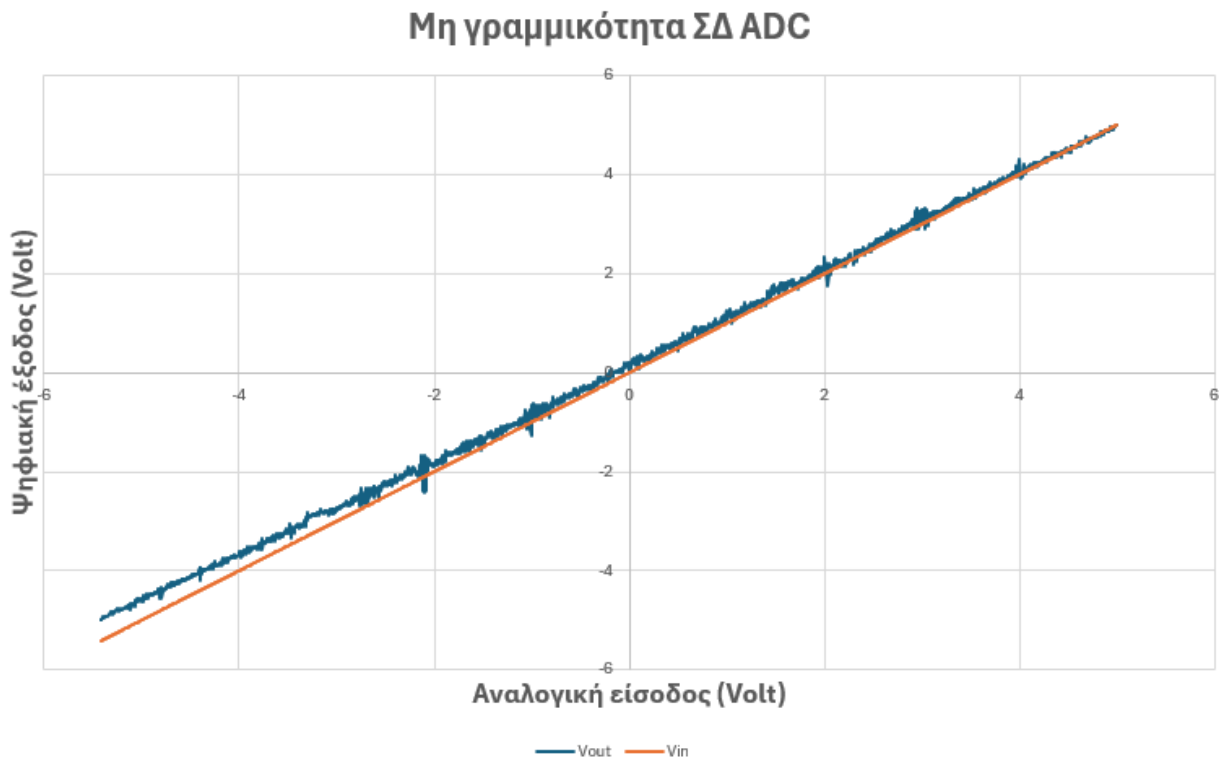
Σχήμα 49: INL OF 7-bit SAR ADC

6.2 Στατικές αποδόσεις και αποτελέσματα μετρήσεων του 9-bit ΣΔ ADC

Αξίζει να σημειωθεί ότι για τις επόμενες μετρήσεις ο μετατροπέας ΣΔ τροφοδοτήθηκε με βήμα 5mVolt στο εύρος εισόδου του, δηλαδή από -5 Volt έως 5 Volt, με σκοπό να μελετηθεί η συμπεριφορά του σε πολλά επίπεδα τάσης (περίπου 2000).

6.2.1 Offset error, Full-Scale error and Gain error of 9-bit ΣΔ ADC

Το σφάλμα μετατόπισης λαμβάνεται από την απόσταση του πρώτου βήματος από την αναλογική είσοδο και υπολογίστηκε στα -0.42 Volt. Το σφάλμα πλήρους κλίμακας υπολογίζεται με βάση την απόσταση του τελευταίου βήματος από την αναλογική είσοδο και είναι 0 Volt. Το σφάλμα κέρδους είναι η αφαίρεση των δυο παραπάνω σφαλμάτων και είναι ίσο με -0.42 Volt. Η τιμή του σφάλματος πλήρους κλίμακας δεν είναι τυχαία στα 0 Volt. Πριν ξεκινήσει η διαδικασία τροφοδότησης του μετατροπέα ΣΔ, έγινε καλιμπράρισμα (ρυθμίζοντας το ποτενσιόμετρο του υποσυστήματος OTA) στην έξοδο του μετατροπέα, κοντά στην περιοχή των 5 Volt. Στο σχήμα 50, παρουσιάζεται η ψηφιακή έξοδος (μπλε γραμμή) και η αναλογική είσοδος του ΣΔ ADC (πορτοκαλί γραμμή).



Σχήμα 50: Διάγραμμα αναλογικής εισόδου - ψηφιακής εξόδου 9-bit ΣΔ ADC

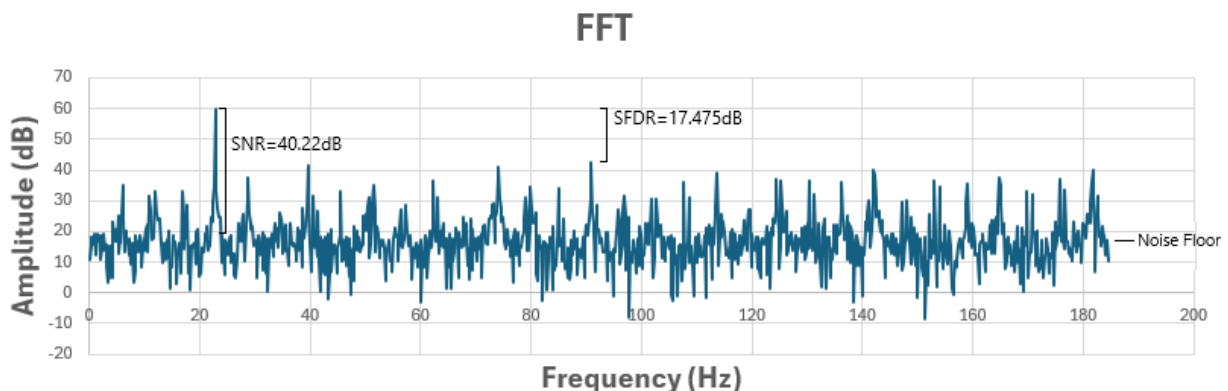
6.2.2 DNL and INL of 9-bit ΣΔ ADC

Στους μετατροπέες ΣΔ ADCs, η διαφορική μη-γραμμικότητα και η ολοκληρωτική μη-γραμμικότητα δεν υπολογίζονται και δεν θεωρούνται ως κρίσιμες μετρήσεις με τον ίδιο τρόπο όπως σε άλλους τύπους ADCs. Αυτό οφείλεται στο γεγονός ότι η αρχιτεκτονική και η λειτουργία των ADCs Sigma-Delta είναι θεμελιωδώς διαφορετικές και στοχεύουν κυρίως στην επίτευξη υψηλής ανάλυσης και ακρίβειας μέσω υπερδειγματοληψίας και διαμόρφωσης θορύβου και όχι μέσω ακριβούς κβαντισμού τάσης όπως στον SAR ADC [12]. Επίσης ο ΣΔ ADC χρησιμοποιεί ψηφιακά φίλτρα για την ανάκτηση της ψηφιακής εξόδου από τη διαμορφωμένη ροή bit. Αυτά τα φίλτρα μπορούν να αντισταθμίσουν ορισμένες μη γραμμικότητες που εισάγονται από τα αναλογικά στοιχεία του ADC.

6.3 Αποτελέσματα μετρήσεων της δυναμικής απόδοσης του 7-bit SAR ADC

6.3.1 Fast Fourier Transform (FFT) Analysis for 7-bit SAR ADC

Για τις επόμενες μετρήσεις αξίζει να αναφερθεί ότι ο μετατροπέας SAR τροφοδοτήθηκε με ένα ημιτονοειδές σήμα με συχνότητα $F_{in}= 22.6346\text{Hz}$, τάση από κορυφή σε κορυφή $V_{pp}= 2\text{ Volt}$ και τάση μετατόπισης (Voffset) στα 3 Volt , με σκοπό να πραγματοποιηθεί ο γρήγορος μετασχηματισμός Φουριέ, FFT (Fast Fourier transform). Η επιλογή της συχνότητας του σήματος δεν έγινε τυχαία. Κατά τη δειγματοληψία της κυματομορφής, είναι ιδανικό να συλλαμβάνεται ένας ακριβής αριθμός περιόδων της κυματομορφής εισόδου εντός της εγγραφής δεδομένων. Εάν ο αριθμός των περιόδων δεν είναι ακέραιος αριθμός, μπορεί να επιφέρει προβλήματα στην ανάλυση Fourier. Εάν τα δεδομένα δειγματοληψίας δεν περιέχουν ακέραιο αριθμό περιόδων της κυματομορφής εισόδου, οι συνιστώσες συχνότητας μπορούν να εξαπλωθούν ή να "διαρρεύσουν" σε γειτονικές συχνότητες. Αυτή η εξάπλωση μπορεί να αποκρύψει το πραγματικό περιεχόμενο της συχνότητας του σήματος. Ένα ακόμη ζήτημα είναι όταν ο αριθμός των περιόδων είναι μη-ακέραιος υποπολλαπλάσιος του μήκους της εγγραφής, ο θόρυβος κβαντισμού τείνει να συγκεντρώνεται στις αρμονικές (πολλαπλάσια) της συχνότητας εισόδου αντί να κατανέμεται ομοιόμορφα στο φάσμα συχνοτήτων, γεγονός που μπορεί να παραμορφώσει την ανάλυση [20]. Γνωρίζοντας λοιπόν ότι για τα 2048 δείγματα ο μετατροπέας χρειάζεται 5 Sec και 612 mSec και θέλοντας να έχουμε 127 κύκλους (ακέραιος και πρώτος αριθμός) υπολογίζουμε την περίοδο του σήματος και μετέπειτα την συχνότητα F_{in} . Στο σχήμα 51, παρουσιάζεται η ανάλυση του γρήγορου μετασχηματισμού Φουριέ για τον 7-bit SAR ADC, που υλοποιήθηκε με την χρήση του λογισμικού υπολογιστικών φύλλων Microsoft Excel.



Σχήμα 51: FFT Analysis of 7-bit SAR ADC for $F_{in}=22.6346\text{Hz}$

Όπως φαίνεται και στο παραπάνω σχήμα, το μέγιστο πλάτος εμφανίζεται στην συχνότητα F_{in} , στα 60dB. Στον πίνακα 4, βλέπουμε τα αποτελέσματα των δυναμικών αποδόσεων που προκύπτουν από την ανάλυση του γρήγορου μετασχηματισμού Φουριέ.

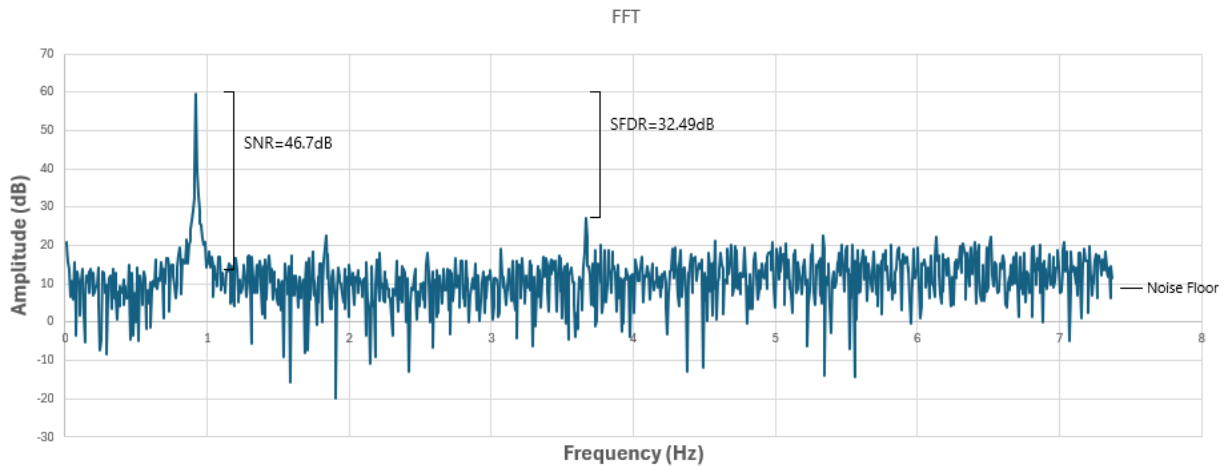
Πίνακας 4: Αποτελέσματα δυναμικών αποδόσεων 7-Bit SAR ADC

SNR	40.22 dB
SINAD	39.85 dB
SFDR	17.475 dB
ENOB	6.3
NOISE FLOOR	16.5 dB

6.4 Δυναμικές αποδόσεις και αποτελέσματα μετρήσεων του 9-bit ΣΔ ADC

6.4.1 Fast Fourier Transform (FFT) Analysis for 9-bit ΣΔ ADC

Για τις επόμενες μετρήσεις αξίζει να σημειωθεί ότι ο μετατροπέας ΣΔ τροφοδοτήθηκε με ένα ημιτονοειδές σήμα με συχνότητα $F_{in}=0.9144\text{Hz}$ (έχοντας υπόψιν τους 127 κύκλους στα 2048 δείγματα), τάση από κορυφή σε κορυφή $V_{pp}=2\text{ Volt}$ και τάση μετατόπισης (Voffset) στα 0 Volt, με σκοπό να υλοποιηθεί ο γρήγορος μετασχηματισμός Φουριέ (FFT). Στο σχήμα 52, παρουσιάζεται η ανάλυση του γρήγορου μετασχηματισμού Φουριέ για τον 9-bit ΣΔ ADC, που πραγματοποιήθηκε με την χρήση του λογισμικού υπολογιστικών φύλλων Microsoft Excel.



Σχήμα 52: FFT Analysis of 9-bit ΣΔ ADC for $F_{in}=0.9144\text{Hz}$

Όπως φαίνεται και στο παραπάνω σχήμα, το μέγιστο πλάτος εμφανίζεται στην συχνότητα F_{in} , στα 60dB. Στον πίνακα 5, βλέπουμε τα αποτελέσματα των δυναμικών αποδόσεων που προκύπτουν από την ανάλυση του γρήγορου μετασχηματισμού Φουριέ.

Πίνακας 5: Αποτελέσματα δυναμικών αποδόσεων 9-Bit ΣΔ ADC

SNR	46.7 dB
SINAD	46.6 dB
SFDR	32.49 dB
ENOB	7.45
NOISE FLOOR	9.36 dB

7 Συμπεράσματα

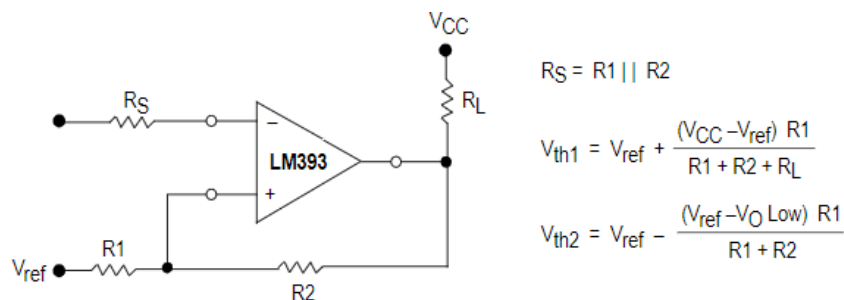
Η πτυχιακή εργασία παρουσίασε τη σχεδίαση, την προσομοίωση λειτουργίας, την κατασκευή σε κάρτα τυπωμένου κυκλώματος με διακριτά στοιχεία και την μέτρηση της απόδοσης ενός 7-bit SAR ADC και ενός ΣΔ ADC. Και οι τα δύο κυκλώματα ADC, λειτούργησαν σωστά.

Μετά από προσεκτική αξιολόγηση, κατέστη προφανές ότι η πραγματική ανάλυση του SAR ADC όπως εκφράζεται με το ENOB=6.3 bits έχει προσεγγίζει περισσότερο την θεωρητική των 7 bits. Ο ΣΔ έχει ENOB=7.45 bits που απέχει περισσότερο από την θεωρητική των 9 bits.

Ο ADC SAR ελέγχθηκε και δούλεψε ικανοποιητικά για ημιτονοειδή σήματα εισόδου με συχνότητα έως τα 184Hz με ανάλυση στα 7-bit.

Ο ΣΔ ADC δούλεψε ικανοποιητικά για ημιτονοειδή σήματα με συχνότητες έως τα 7.3Hz με ανάλυση στα 9-bit.

Μια αξιοσημείωτη παρατήρηση κατά τη διάρκεια του πειραματισμού ήταν η δυνατότητα βελτίωσης της απόδοσης του ADC SAR με την αντιμετώπιση των διακυμάνσεων της τάσης κατωφλίου ($V_{Thresholds}$) του συγκριτή. Η διαπίστωση αυτή προέκυψε από περιπτώσεις όπου ο ADC SAR παρουσίαζε αστάθεια στην έξοδο ψηφιακών τιμών. (Στην ενότητα 6.1 αναφέρουμε το σφάλμα με περισσότερες λεπτομερείς και στο σχήμα 45 φαίνεται και η αστάθεια (ταλάντωση) της ψηφιακής εξόδου του συγκριτή).



Σχήμα 53: Διάταξη με επιπλέον αντιστάσεις στον συγκριτή [21]

Στο σχήμα 53, [21], έχουμε μια διάταξη με επιπλέον αντιστάσεις στον συγκριτή με σκοπό να δημιουργήσουμε τις δικές μας τάσεις κατωφλίων $V_{Threshold}$ έτσι ώστε να μην έχουμε το φαινόμενο της ταλάντωσης της εξόδου του συγκριτή που επηρεάζει κατά συνέπεια και την έξοδο του 7-bit SAR ADC. Η αντιμετώπιση του συγκεκριμένου σφάλματος θα μπορούσε να βελτιώσει περαιτέρω τις επιδόσεις και την αξιοπιστία του 7-bit SAR ADC.

Η καλή κατανόηση της λειτουργίας των SAR και ΣΔ ADCs που επιτεύχθηκε μέσω της πτυχιακής εργασίας μπορεί να αξιοποιηθεί παραπέρα για την σχεδίαση των πολύπλοκων μικροηλεκτρονικών κυκλωμάτων ADCs που χρησιμοποιούνται σε πραγματικές εφαρμογές.

ΠΙΝΑΚΑΣ ΟΡΟΛΟΓΙΑΣ

Ξενόγλωσσος όρος	Ελληνικός Όρος
Reference	Αναφορά
Dynamic Range	Δυναμικό εύρος
Missing code	Έλλειψη κώδικα
Integrator	Ολοκληρωτής
Sample and Hold	Δειγματοληψία και συγκράτηση
Comparator	Συγκριτής

ΣΥΝΤΜΗΣΕΙΣ – ΑΡΚΤΙΚΟΛΕΞΑ – ΑΚΡΩΝΥΜΙΑ

NASA	National Aeronautics and Space Administration
ALISE	Association For Library Collections and Technical Services
SAR	Transmission Control Protocol/ Internet Protocol
ΣΔ	Text Encoding Initiative
CMP	Universal System for information in Science and technology
S&H	World Wide Web Consortium
INT	Ένωση Ελλήνων Χρηστών Internet
SNR	Signal Noise Ratio
SINAD	Signal, Noise And Distortion
SFDR	Spurious-free dynamic range
ENOB	Effective Number Of Bits
DNL	Differential Non-Linearity
INL	Integral Non-Linearity
OTA	Operational Transconductance Amplifier
PNP	Positive-Negative-Positive
NPN	Negative-Positive-Negative
MOSFET	metal-oxide-semiconductor field-effect transistor
CT	Continuous Time
DT	Discrete Time
MSB	Most Significant Bit
LSB	Least Significant Bit
OBC	On-Board Computer
PCB	Printed Circuit Board
ADC	Analog Digital Converter
DAC	Digital Analog Converter
FFT	Fast Furier Transform
V	Volt
ms	millisecond
us	microsecond
dB	Decibel
Hz	Herz
KHz	Kilo Herz
ΕΚΠΑ	Εθνικό και Καποδιστριακό Πανεπιστήμιο Αθηνών

ΠΑΡΑΡΤΗΜΑ Ι

Κώδικας για μετατροπή 9-bit ΣΔ ADC Arduino Nano (ATmega328bp)

```

const int voltageThreshold = HIGH;
const int decimationFactor = 512;
const int analogInputPin = 21;
int sensorValue;
int pin6 = 6;
float voltage = 0.000;
void setup() {
  Serial.begin(250000);
  pinMode(pin6, OUTPUT);
}

void loop() {
  analogWrite(pin6,3);
  int adcValue = digitalRead(adcInputPin);
  sensorValue = analogRead(analogInputPin);
  int filteredValue = digitalLowPassFilter(adcValue);
  //delay(1); // Delay for stability (adjust as needed)
}

int digitalLowPassFilter(int inputValue) {
  static float filteredValue = 0;
  static int decimationCounter = 0;

  filteredValue = (filteredValue + inputValue);

  decimationCounter++;
  if (decimationCounter >= decimationFactor) {
    decimationCounter = 0;

    filteredValue = ((filteredValue*10 / decimationFactor)-5 );

    Serial.println(filteredValue);
    filteredValue = 0;
  }
  return -1; // Use a sentinel value (-1) to indicate no update
}

```

ΠΑΡΑΡΤΗΜΑ II

Κώδικας για μετατροπή 7-bit SAR ADC Arduino Nano (ATmega328bp)

```
const int triggerPin = 4;
const int dataPins[] = {A0, A1, A2, A3, A4, 19, 2};
const int numDataPins = 7;
void setup() {
  Serial.begin(2000000);
}

void loop() {
  float voltage = calculateVoltage();
  Serial.println(voltage,3);
}

float calculateVoltage() {
  float voltage = 0.00;

  for (int i = 0; i < numDataPins; i++) {
    int bitValue = digitalRead(dataPins[i]);
    voltage += static_cast<float>(bitValue) / pow(2, i + 1);
  }
  voltage *= 5.000;
  return voltage;
}
```

ΑΝΑΦΟΡΕΣ

- [1] Fredenburg, J., & Flynn, M. P. (2015). *ADC trends and impact on SAR ADC architecture and analysis*. 2015 IEEE Custom Integrated Circuits Conference (CICC), 2015, p. 1.
- [2] Mitsuru Yamada, *Homemade Successive Approximation Register ADC*, 2021.
- [3] Ignacio Estay Forno, *$\Delta\Sigma$ ADC Using Discrete Components*, 2019.
- [4] Xue, F., Gao, W., Zheng, R., Wei, X., Wang, J., & Hu, Y. (2020). *A 12-bit 10 MS/s 12 mW pipelined SAR ADC for CubeSat systems using Vcm-based switching MDAC and unit capacitor array*. Nuclear Instruments and Methods in Physics Research Section, 2020,. doi:10.1016/j.nima.2019.163218
- [5] Prasad, D., & Nath, V. (2017). *Design of CMOS Integrator Circuit for Sigma Delta ADC for Aerospace Application*. Industry Interactive Innovations in Science, Engineering and Technology, 377–383. doi:10.1007/978-981-10-3953-9_36 .
- [6] Pang, W.-Y., Wang, C.-S., Chang, Y.-K., Chou, N.-K., & Wang, C.-K. (2009). *A 10-bit 500-KS/s low power SAR ADC with splitting comparator for bio-medical applications*. 2009 IEEE Asian Solid-State Circuits Conference, 2009.
- [7] M. Domínguez, V. Jiménez, J. Ricarta, L. Kowalskia, J. Torresb, S. Navarro, J. Romeralb, L. Castañer, “A hot film anemometer for the Martian atmosphere”, doctoral Thesis, Planetary and Space Science, 2008. doi:10.1016/j.pss.2008.02.013
- [8] Boris Murmann. *ADC Performance Survey 1997-2014*. [Online]. Available: <http://web.stanford.edu/~murmman/adcsurvey.html>, 2014.
- [9] Manuel Delgado-Restituto Alberto Rodríguez-Pérez and Fernando Medeiro. *Power Efficient ADCs for Biomedical Signal Acquisition*. In Biomedical Engineering, Trends in Electronics, Communications and Software, chapter 10, pages 171 – 192. InTech, 2011.
- [10] H. Inose, Y. Yasuda, and J. Murakami. *A Telemetry System by Code Modulation- Δ - Σ Modulation*. IRE Transactions on Space Electronics and Telemetry, 8(3):204–209, 1962.
- [11] S. R. Norsworthy, R. Schreier, and G. C. Temes. *Delta-sigma data converters: theory, design, and simulation*. IEEE Press, 1997.
- [12] R. Schreier and G. C. Temes. *Understanding Delta-Sigma Data Converters*. Wiley-IEEE Press, 2005
- [13] Texas Instruments, “*LFx98x Monolithic Sample-and-Hold Circuits*” *LF398 datasheet, 2000. [Revised OCT. 2018]*.
- [14] Texas Instruments, “*LM393B, LM2903B, LM193, LM293, LM393 and LM2903 Dual Comparators*” *LM393 datasheet, 1979. [Revised OCT. 2020]*.
- [15] Paul Horowitz and Winfield Hill, *The Art of Electronics Third Edition*, Cambridge University Press, 2015, p. 22.
- [16] Seiichi Inoue, “Circuit operation explanation of astable multivibrator» 1998; http://www.piclist.com/images/www/hobby_elec/e_sampl1_1.htm [Προσπελάστηκε 15/1/2024]
- [17] Kent. H. Lundsberg, *Analog-to-Digital Converters Testing*, 2002
- [18] Microchip, “*ADC Gain and Offset Error Calibration on ARM® Cortex®- M0+ Based MCUs*”, Application Note TB3185, 2018.
- [19] Sarvar, F.; Poole, N. J.; Witting, P. A.. "PCB glass-fibre laminates: Thermal conductivity measurements and their effect on simulation". *Journal of Electronic Materials*. (1990). doi:10.1007/bf02662823
- [20] Kent H. Lundberg, “*Analog-to-Digital Converter Testing*”, 2002, p.11-12
- [21] Motorola Inc. “*Low Offset Voltage Dual Comparators*”, 1996, p4
- [22] LTspice XVII, Version XVII. [Online]. Available: <https://www.analog.com/en/design-center/design-tools-and-calculators/LTspice-simulator.html>
- [23] KiCad EDA Software Suite. (2023). Version 6.0 [Computer software]. Available: <https://kicad-pcb.org/>
- [24] Dr. Steve Arar, “*Understanding ADC Integral Nonlinearity (INL) Error*” ALL ABOUT CIRCUITS, Dec 2022.